

## 論文審査の結果の要旨

報告番号	甲 先 第 442号	氏 名	神田 道也
審査委員	主査 島本 隆 副査 西尾 芳文 副査 安野 卓 副査 四柳 浩之		
学位論文題目  実装回路の電源電流による断線検出用組込型検査回路に関する研究			
審査結果の要旨 <p>本学位論文は、実装基板回路のICとプリント配線板間の接続部、および3次元積層IC内実装回路のICダイ間接続部の断線欠陥を検出する電気検査回路とそれを用いる電気検査法に関する研究をまとめたものである。検査容易化設計の代表的手法の1つであるバウンダリスキャンテスト回路が普及しているが、依然として実装基板回路に組み込まれない場合もある。本研究では、バウンダリスキャンテスト回路を用いず電源電流に基づく電気検査を可能にするIC内組込型電気検査回路を開発し、シミュレーションと試作ICでの評価を行った。提案手法は、抵抗断線、容量断線、完全断線を500kHzの速度で検査可能である。また、近年利用されつつある3次元積層IC内実装のIC間接続について、製品出荷後も検査可能な手法として、3次元積層ICでは必須とされるバウンダリスキャンテスト回路も使い、欠陥の成長過程も判定可能な組込型電気検査回路を開発した。提案回路ではMOSトランジスタの製造ばらつきの下でも断線部の10Ωの抵抗値増加を検出する能力を確認した。各研究成果については、米国電気電子学会(IEEE)論文誌および国際会議等にて発表が行われている。</p> <p>以上本研究は、ICの実装基板との接続および3次元積層時のIC間に発生する断線検出による高信頼化に寄与する研究として成果が認められるものであり、本論文は博士(工学)の学位授与に値するものと判定する。</p> <p>なお、本論文の審査には、徳島大学名誉教授・放送大学特任教授 橋爪正樹氏の協力を得た。</p>			