

論文の要約

報告番号	甲 乙	第 号	氏名	神田 道也
学位論文題目	実装回路の電源電流による断線検出用組込型検査回路に関する研究			
<p>近年、エレクトロニクス回路はプリント配線板の上にICなどの電子回路部品をはんだ付けして作製され様々な機器に組込まれている。機器の小型化、高機能化を実現するためにICやプリント配線板の小型化が進み、ICパッケージの裏面にICの入出力ピンを設けたICが使用されそれらの回路が製造されるようになってきた。また更なる回路の小型化を実現するためにICパッケージ内にダイを3次元に積層して作る3次元積層ICも作られ始めている。それらのプリント配線板上の回路製造時や3次元積層IC内回路製造時のはんだ付けで断線欠陥が発生する場合がある。その回路において検査プローブを回路に当ててのはんだ接続部の信号観測ができなかったり、接続部の目視検査ができなかったりして断線欠陥の発見が従来に増して困難となっている。その一方で、現在、進行中のSociety5.0においてはそれらの回路は不可欠なものとなっており、従来から求められてきた小型化・低消費電力化・高速化だけでなく長期に亘る高信頼化が求められている。その高信頼化を実現するには製造時に発生した欠陥を発見し市場に欠陥を含んだ回路を出荷させない検査法ならびに出荷後でも計測器なしで検査可能な検査法の開発が求められている。その検査を容易とするためにIC内のダイにバウンダリスキャンテスト回路を内蔵させ、はんだ付け部分に論理信号を印加し伝搬される信号を観測して異常を発見するバウンダリスキャンテスト法が提案されている。しかしそのテスト法では断線の発見を不得手としている。また回路の低価格化を実現するために家電製品ではバウンダリスキャンテスト回路をIC内のダイに内蔵しない場合もある。</p> <p>そこで本研究ではプリント配線板上に作られる回路においてはそのテスト回路を内蔵しなくてもそれらの欠陥を発見できる電気検査法とそのための検査回路の開発を行った。そして回路シミュレーションとその検査回路を組み込んだICを使った回路実験により150Ω以上の抵抗値をもつ抵抗断線だけでなく、容量断線、完全断線を500kHzの検査速度で検出できる能力をその検査法は有していることを明らかにした。</p> <p>また3次元積層IC内のダイにおいては必ずバウンダリスキャンテスト回路を内蔵されることから、それを用いて電気検査によりダイ間配線を発見する検査法とその検査を可能にする検査回路を開発した。ここでは欠陥がどの程度まで成長しているか判定できるようなものを開発している。そしてその検査法の検査能力を回路シミュレーションで調査し、MOSの製造ばらつきが発生してもIPCが規定している基準よりも低い$10\sim 15\Omega$の抵抗断線が検出できることを明らかにしている。</p>				