

## 論文内容要旨

報告番号	甲 先 第 451 号	氏 名	伊喜利 勇貴
学位論文題目	IC実装基板と3次元積層メモリICの高信頼化に関する研究		
<p>内容要旨</p> <p>近年、電気自動車の発展に代表されるように様々な機器の電化を進めるためにプリント配線板上で作られる回路の大規模化が行われており、IC内に複雑な大規模回路を内蔵するようになってきた。IC内の回路が大規模化すると入出力信号数が多くなるため、ICパッケージの底面に入出力ピンを設けたICが普及してきている。更なる回路の大規模化のためにICパッケージ内でダイを3次元に積層した3次元積層メモリICも作られ始めている。またプリント配線板自体を小型化するために狭ピッチ・狭信号線幅のプリント配線板上にICがはんだ付けされるようになってきた。</p> <p>それらICをプリント配線板上にはんだ付けする際や3次元積層ICのダイ積層工程で断線欠陥が発生する場合がある。それらICのはんだ付け部はパッケージで隠れており、検査プローブを当てて信号観測ができなかったり、目視検査ができなかったりするため発見が従来に増して困難となっている。</p> <p>その一方で、これらICを実装したプリント配線板は現在進行中のSociety5.0において不可欠なものとなっており、従来から求められていた小型化・高性能化・高機能化だけでなく長期に亘る高信頼化が求められている。その高信頼化を実現するにははんだ付け時に発生した欠陥を出荷前に確実に発見する検査法ならびに出荷後でも計測器なしで検査可能な検査法の開発が求められている。</p> <p>その検査を容易とするためにIC内にバウンダリスキャンテスト回路を内蔵させ、はんだ付け部に論理信号を印加し伝搬される信号を観測して異常を発見するバウンダリスキャンテスト法が提案されている。しかしそのテスト法では断線の発見を不得手としている。そこで本研究ではそのバウンダリスキャンテスト回路を流用し、プリント配線板上のはんだ付け部に発生した欠陥を発見する電気検査法とその検査回路の開発を行った。また3次元積層メモリICに対してはダイ間信号線に欠陥が発生した場合にその3次元積層メモリICを救済して信頼性を上げる方法を開発した。</p> <p>本論文では本研究で開発した検査法とその検査を可能とするIC内組込み型検査回路ならびに3次元積層メモリIC内の欠陥信号線の救済法とその救済回路を紹介している。本研究ではその検査法の検査能力を回路シミュレーションと実験回路で調査し、既存の検査法では発見できない断線欠陥まで発見できる能力を有していることを明らかにしている。また欠陥信号線救済法については回路シミュレーションでその能力を調査し、その救済可能性を明らかにしている。</p>			