

IC実装基板と3次元積層メモリICの

高信頼化に関する研究

Reliability Enhancement in Assembled Circuit Boards and

3D Stacked Memory ICs

徳島大学大学院 先端技術科学教育部 博士後期課程

システム創生工学専攻 電気電子創生工学コース

伊喜利 勇貴

令和 5年 3月

あらまし

近年、電気自動車の発展に代表されるように様々な機器の電化を進めるためにプリント配線板上で作られる回路の大規模化が行われており、IC内に複雑な大規模回路を内蔵するようになってきた。IC内の回路が大規模化すると入出力信号数が多くなるため、ICパッケージの底面に入出力ピンを設けたICが普及してきている。更なる回路の大規模化のためにICパッケージ内でダイを3次元に積層した3次元積層メモリICも作られ始めている。またプリント配線板自体を小型化するために狭ピッチ・狭信号線幅のプリント配線板上にICがはんだ付けされるようになってきた。

それらICをプリント配線板上にはんだ付けする際や3次元積層ICのダイ積層工程で断線欠陥が発生する場合がある。それらICのはんだ付け部はパッケージで隠れており、検査プローブを当てて信号観測ができなかったり、目視検査ができなかったりするため発見が従来に増して困難となっている。

その一方で、これらICを実装したプリント配線板は現在進行中のSociety5.0において不可欠なものとなっており、従来から求められていた小型化・高性能化・高機能化だけでなく長期に亘る高信頼化が求められている。その高信頼化を実現するにははんだ付け時に発生した欠陥を出荷前に確実に発見する検査法ならびに出荷後でも計測器なしで検査可能な検査法の開発が求められている。

その検査を容易とするためにIC内にバウンダリスキャンテスト回路を内蔵させ、はんだ付け部に論理信号を印加し伝搬される信号を観測して異常を発見するバウンダリスキャンテスト法が提案されている。しかしそのテスト法では断線の発見を不得手としている。そこで本研究ではそのバウンダリスキャンテスト回路を流用し、プリント配線板上のはんだ付け部に発生した欠陥を発見する電気検査法とその検査回路の開発を行った。また3次元積層メモリICに対してはダイ間信号線に欠陥が発生した場合にその3次元積層メモリICを救済して信頼性を上げる方法を開発した。

本論文では本研究で開発した検査法とその検査を可能とするIC内組込み型検査回路ならびに3次元積層メモリIC内の欠陥信号線の救済法とその救済回路を紹介している。本研究ではその検査法の検査能力を回路シミュレーションと実験回路で調査し、既存の検査法では発見できない断線欠陥まで発見できる能力を有していることを明らかにしている。また欠陥信号線救済法については回路シミュレーションでその能力を調査し、その救済可能性を明らかにしている。

目次

第1章 序論	1
第2章 IC実装基板と3次元積層ICで発生する欠陥とその高信頼化法	4
2.1 はじめに	4
2.2 IC実装基板に発生する欠陥とその高信頼化法	4
2.2.1 IC実装基板に発生する欠陥	4
2.2.2 IC実装基板の既存の高信頼化法	10
2.3 3次元積層ICで発生する欠陥とその高信頼化法	15
2.3.1 3次元積層ICに発生する欠陥	16
2.3.2 3次元積層ICの既存の高信頼化法	17
2.4 本研究での高信頼化アプローチ	18
2.5 まとめ	21
第3章 IC実装基板の電気検査法による高信頼化法	22
3.1 はじめに	22
3.2 検出対象欠陥	22
3.3 開発した電気検査法とその組込型検査用回路	24
3.3.1 開発した電気検査法の検査原理	26
3.3.2 開発した組込型検査回路	28
3.3.3 開発した電気検査法	29
3.3.3.1 出荷前検査法	30
3.3.3.2 出荷後検査法	34
3.4 シミュレーションによる検査能力評価	36
3.4.1 完全断線の検出能力評価	39
3.4.2 容量断線の検出能力評価	40
3.4.3 抵抗断線の検出能力評価	41
3.5 試作ICを用いた検査能力調査	47
3.6 考察	50
3.7 まとめ	54

第4章 3次元積層メモリICのTSV冗長化による高信頼化法	56
4.1 はじめに	56
4.2 3次元積層メモリICの高信頼化法	57
4.2.1 信号線冗長化による高信頼化法	57
4.2.2 TSV数削減による高信頼化法	60
4.3 信号線冗長化による高信頼化3次元積層メモリIC設計	64
4.3.1 冗長信号線による高信頼化可能なメモリICの内部構成	64
4.3.2 ダイ間欠陥信号線救済回路	65
4.4 冗長信号線設計による高信頼化能力評価	68
4.5 考察	73
4.6 まとめ	75
第5章 結論	76
謝辞	78
参考文献	79

目次

2.1	QFP(Quad Flat Package) IC	5
2.2	SOP IC のはんだ付け時に発生する欠陥例	5
2.3	QFP IC を用いて作製された IC 実装基板とそれに発生する欠陥例	5
2.4	BGA(Ball Grid Array) IC	6
2.5	BGA IC を用いて作製された IC 実装基板とそれに発生する欠陥例	6
2.6	IC のリードと PCB 間に発生したクラック例 [1]	7
2.7	SOP IC と PCB 間にはんだ付け時に発生した断線例 [2]	7
2.8	BGA IC パッケージと PCB 間にはんだ付け時に発生した欠陥例 [1]	7
2.9	リフローによる BGA IC を用いたはんだ付け時に生じる不濡れ断線 [3]	8
2.10	リフローによる BGA IC のはんだ付け時に生じる欠陥 [4]	9
2.11	BGA IC の熱サイクル試験結果例 [7]	9
2.12	リードと BGA はんだボールに発生したクラック例 [8]	10
2.13	官能検査および外観検査による IC 実装基板回路の検査	11
2.14	インサーキットテスト	11
2.15	電気検査とその検査原理	12
2.16	BGA IC のはんだ接合部の X 線画像 (正常時)	12
2.17	BGA IC のはんだ接合部の X 線画像 (破線で囲んだ部分に HIP 発生)	13
2.18	バウンダリスキャンテスト	14
2.19	IEEE1149.1 準拠 IC に対する電気検査法の検査原理	15
2.20	3次元積層 IC の内部構成	16
2.21	TSV に発生する欠陥例 1 (絶縁不良)	17
2.22	TSV に発生する欠陥例 2 (抵抗断線)	17
2.23	故障率曲線 (バスタブ曲線)	18
2.24	BGA IC パッケージと PCB 間の接続部に発生する欠陥	20
2.25	IC 実装基板に発生する欠陥例	21
2.26	デジタル回路図上での本研究の対象欠陥の表現	21
3.1	BGA IC を用いて作られた IC 実装基板の検出対象断線	23

3.2	欠陥の成長過程	24
3.3	開発した電気検査法の断線検出原理	27
3.4	実装基板検査時の弛張発振器の発振原理	29
3.5	弛張発振器を用いた電気検査法による実装基板の電気検査	31
3.6	OscTC の波形の例	32
3.7	本手法で CUT#1 を検査するための検査システム	34
3.8	解析用の CUT	38
3.9	シミュレーションの入力信号	39
3.10	正常時のシミュレーション結果	40
3.11	完全断線時のシミュレーション結果	40
3.12	4pF の容量断線時のシミュレーション結果	41
3.13	1.2Ω の抵抗断線時のシミュレーション結果	42
3.14	45.8Ω の抵抗断線時の信号遅延	45
3.15	実験回路	48
3.16	組み立てた PCB	49
3.17	S ₄ の検査回路	49
3.18	リング発振器を用いた検査回路	52
4.1	開発した信号線冗長化した 3 次元積層メモリ IC 例	58
4.2	図 4.1 の Die#0 の欠陥救済例	59
4.3	ダイ選択用アドレスバスを削減した 3 次元積層メモリ IC	61
4.4	各積層ダイの TSV 配置 (● TSV 形成, ○ TSV 未形成)	62
4.5	インターポーザから Die#2 までの TSV 接続	64
4.6	TSV 置き換え例	66
4.7	スイッチ	67
4.8	スイッチ制御回路の機能	67
4.9	救済回路	69
4.10	動作検証結果	70
4.11	故障対応能力検証結果	71
4.12	最大伝送遅延時間-冗長 TSV 数	72
4.13	冗長 TSV による欠陥 TSV の救済例	74

表 目 次

3.1	RO _{sc} と WSC の MOS サイズ一覧	37
3.2	プロセスばらつき検証結果	43
3.3	図 3.15 の抵抗断線に対する N _p	50
4.1	TSV の欠陥発生状況	69

第1章 序論

近年、自動車の自動運転やIoT(Internet of Things)の普及に伴い、デジタル回路の小型化・高性能化・高機能化が求められている。その要求に応えるためにIC内に複雑で大規模な回路を内蔵させ、そのICをプリント配線上にはんだ付けしデジタル回路を作成してきた。そのようにして作られたプリント配線板を本論文では「**IC実装基板**」と呼ぶ。

IC内の回路が大規模回路となると入出力信号線数が多くなるため、ICから多数の信号が出力できるように、入出力ピンをICパッケージの底面に設けるBGA(Ball Grid Array)パッケージIC(以後、「**BGA IC**」と呼ぶ)が普及してきた。またプリント配線板自体の小型化を実現するため、狭ピッチ・狭信号線幅のプリント配線板が使用され、その上にICがはんだ付けされるようになってきた。

その一方で環境破壊防止対策として鉛フリーのはんだによるはんだ付けが求められ、その濡れ性の低さから、IC実装基板にはんだ付け不良が従来に増して発生しやすくなっている。そのはんだ付け不良はBGA ICのはんだ付け時に発生すると入出力信号線がICパッケージの底面に設けられているため、その不良の発見が困難となる。

ICとプリント配線板間の信号線の検査が容易となるように「バウンダリスキャンテスト回路」と呼ばれる検査用回路をIC内に組み込まれるようになってきた。その回路を用いてICとプリント配線板間の信号線に印加した論理信号が正しく受信側に伝わるか否かを調べる「バウンダリスキャンテスト法」と呼ばれる検査法でそれらの信号線は検査できる。しかしはんだ付け不良で抵抗成分を伴って接続される信号線の確実な発見は難しく見逃す場合がある。そのような信号線における欠陥は経年劣化で論理値異常を生じる欠陥に成長し、その回路を組み込んだ電子機器の稼働停止を招く可能性があるため確実に発見できることが望ましい。

そのような欠陥は論理値測定ではなく、信号線の電圧や電流等の電気信号を測定し検査する「**電気検査**」で発見できることから、様々な電気検査法が開発されている。ただ多くの電気検査法では検査時にそれらの電気信号を測定するために検査プローブを検査対象信号線に当てる必要がある。それらがBGA ICでは行えないため、検査時のみに検査対象信号線に電流を流し、その電流異常で検査する電気検査法と

そのための検査回路が提案されている。それにより抵抗成分を伴って接続される断線(以後、「抵抗断線」と呼ぶ)だけでなく、容量成分を伴って接続される断線(以後、「容量断線」と呼ぶ)、信号線が開放状態となっている断線(以後、「完全断線」と呼ぶ)まで発見できることが明らかにされている。ただICの製造ばらつきがその検査能力に与える影響が大きく、低抵抗断線の検出が困難で、場合によっては良品基板を不良基板と判定するオーバーキルが発生する。より低抵抗の抵抗断線の検出を目指して本研究ではIC内に弛張発振器を組み込み、検査時にのみ対象とする信号線を通してその発振器に電流を流し発振させ、その発振周波数異常で検出する検査回路を開発し、その検査回路を用いた電気検査法を開発した。

IC実装基板の誤作動によりその基板を組み込んだ電子機器に誤動作を生じる場合があるため、小型化・高性能化以外に、長期に亘った高い信頼性も求められている。ところが製造時にIC実装基板は良品であっても製品に組み込み市場に出荷後に経年劣化で断線が発生する可能性がある。そのため、出荷後の高い信頼性を確保するために出荷後もIC実装基板の電気検査を可能にする必要がある。しかし電気信号計測のための計測器を使った出荷後検査は多くの場合、受け入れられない。そこで本研究では出荷前だけでなく出荷後も本研究で開発した弛張発振器を用いた検査回路でIC実装基板を検査できる電気検査法とそのためのIC内組込検査回路を開発した。

ICをプリント配線板上にはんだ付けして作成するIC実装基板よりも、IC内のダイをICパッケージ内で積み上げることにより、更なる小型化・高速化が可能となる。そのため、近年、そのダイを「チップレット」と呼び、そのダイを積み上げて作製する「3次元積層IC」の開発も行われている。

3次元積層ICでは様々なダイをICパッケージ内で積み上げ、各ダイはTSV(Through Silicon Via)とマイクロバンプで接続する。そのダイの積層工程内で、マイクロバンプによるダイ間接合工程やダイへのTSV製造工程でダイ間接続部に欠陥が発生する可能性がある。その欠陥もBGA ICを用いたIC実装基板と同様に検査プローブを当ててダイ間接続部への信号印加や信号計測が行えないため、欠陥発見が困難となり、新たな検査法の開発が求められている。

その検査法としてもTSV、マイクロバンプからなるダイ間接続部に検査時にのみ静的電源電流を流し、その異常で検査する電気検査法とそのための回路が開発されている。ここではダイ内に組み込まれているバウンダリスキャンテスト回路を流用

し、ダイの入力保護回路を介してその電流を流す方法や、スイッチとスイッチ制御回路をダイに組み込みそのスイッチを介して流す方法が提案されている。その電流は各ダイ間接続部毎に流すため、それらの検査法と検査回路を用いて欠陥が発生しているダイ間接続部を特定することができる。

3次元積層 IC として最も有力な IC はメモリダイを積み上げた「**3次元積層メモリ IC**」で、既に製品として出荷されている。その IC 内のダイ間接続部においても欠陥が発生する。その IC では欠陥が発生しているダイ間接続部を製造後は修理できない。そこで本研究では冗長 TSV を各ダイに前もって用意しておき、上記の検査法等で欠陥が発生していると判定されたダイ間接続の TSV を冗長 TSV に置き換えて使用し、不良を救済して3次元積層メモリ IC の信頼性を上げる方法を開発した。

本論文では第2章で IC 実装基板および3次元積層 IC で発生する欠陥と従来の検査法について述べる。第3章では開発した IC 実装基板の電気検査法とその検査を可能とする検査回路について述べる。第4章では開発した冗長 TSV を用いた救済回路による3次元積層メモリ IC の高信頼化について述べる。第5章では、本論文における結論を述べる。

第2章 IC実装基板と3次元積層ICで発生する欠陥とその高信頼化法

2.1 はじめに

本研究では1章で述べたようにICをプリント配線板にはんだ付けして作られた「IC実装基板」ならびに「3次元積層メモリIC」の高信頼化を実現する手法の開発を行った。

IC実装基板に実装されるICを含む各種電子素子ははんだ付けする前に十分検査され、良品と判定されたものだけを使ってはんだ付けし、IC実装基板は作られる。そのはんだ付け時にプリント配線板との接続部分に欠陥が発生する可能性がある。同様に、3次元積層IC内のダイは積層前に十分検査され、良品と判定されたダイのみ積層する。この場合においても積層時にダイ間接続部に欠陥が発生する可能性がある。

IC実装基板と3次元積層ICではそれらに発生する欠陥が異なるため、本章ではIC実装基板と3次元積層ICに分けて紹介する。その後、IC実装基板回路と3次元積層ICの高信頼化を実現する本研究のアプローチについて述べる。

2.2 IC実装基板に発生する欠陥とその高信頼化法

本節ではIC実装基板の製造時に発生する欠陥およびその検査手法について述べる。

2.2.1 IC実装基板に発生する欠陥

プリント配線板上にはんだ付けされるICとしては様々なものがある。狭ピッチICでははんだ付け時に欠陥が発生しやすいので、ここでは狭ピッチICのはんだ付け時に発生する欠陥を紹介する。

図2.1にQFP(Quad Flat Package)パッケージIC例を示す。図2.1に示すようにQFP ICではリードがパッケージの4辺に設けられている。QFP ICでは多ピンとなるとリード幅もリード間が図2.1よりさらに短くなる。

図2.2にQFPよりも前から使われていたSOP(Small Outline Package) ICのはんだ付け時に発生する欠陥例を、図2.3にQFP ICの場合の欠陥例を示す。図2.2に示すように、SOPやQFP ICではパッケージ側面からリードピンが伸びており、このリードピンをIC実装基板のランドにはんだ付けして実装する。リードピンは曲がり易く、はんだ付け時に何かとの接触で曲がってしまい、図2.3に示すようにプリン

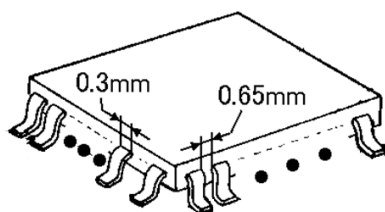


図 2.1 QFP(Quad Flat Package) IC

ト配線板のランド上にリードピンが接触しない。この欠陥は「リード浮き」と呼ばれている。リード浮きはリードピンとランドが接続できていないため、プリント配線板とそのIC間の配線が開放状態となり、リードピンの入力論理値が不定となる。

はんだの付け過ぎが発生すると図 2.3 に示すように隣接したランド同士が接続されてしまう。この欠陥は「はんだブリッジ」と呼ばれている。はんだブリッジは隣接したリードピン同士が短絡しているため、それらの隣接したリードピンの論理値が常に同じになる。

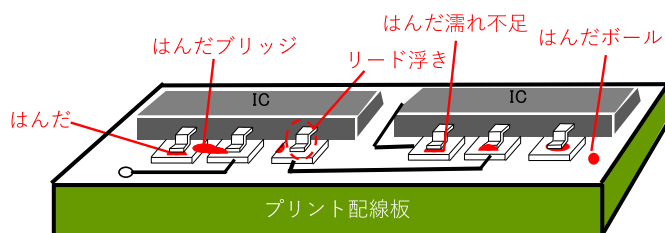


図 2.2 SOP IC のはんだ付け時に発生する欠陥例

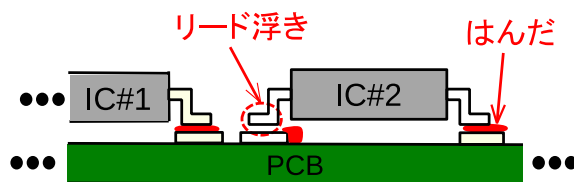


図 2.3 QFP IC を用いて作製された IC 実装基板とそれに発生する欠陥例

図 2.4 に BGA IC の外観を、図 2.5 に BGA IC のはんだ付け時に発生する欠陥例を示す。図 2.4 に示すように、BGA IC はパッケージの底面にプリント配線板との接続部があり、バンプ (Bump) と呼ばれるはんだボールではんだ付けする。これにより、多くの端子を形成することが可能であり、また、側面にリード端子を設けていないため、実装面積の縮小が可能となり IC 実装基板の小型化が行える。

図 2.5 では「はんだボール抜け (missing ball)」、「はんだ割れ (fracture)」以外にはんだボールの亀裂 (crack) やはんだボール内の「ボイド (void)」などの欠陥発生例を示している。

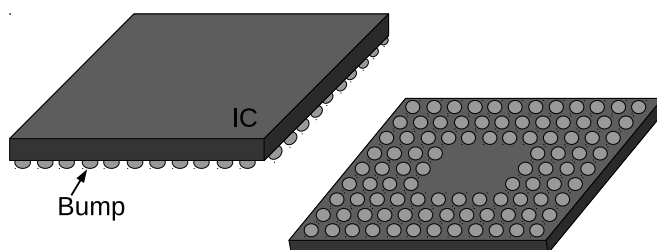


図 2.4 BGA(Ball Grid Array) IC

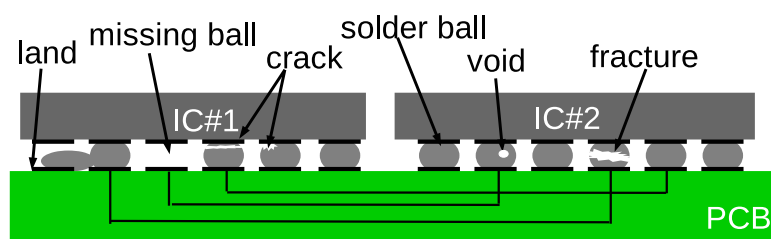


図 2.5 BGA IC を用いて作製された IC 実装基板とそれに発生する欠陥例

図 2.6, 図 2.7 に SOP IC のはんだ付け時に発生する欠陥例を示す。図 2.6 はリードピンとランド間のはんだにクラックが発生した例である。図 2.6 ははんだ不足によりリード浮きが発生した例で、リードピンの下部にはんだがなくフラックスのみで断線が発生している例である。

IC は近年、地球の環境汚染防止の観点から鉛フリーはんだを使用してプリント基板にはんだ付けされる。鉛フリーはんだ付けではその濡れ性不足から図 2.6 のようなクラックがはんだ付け時に発生する。また QFP IC で多ピンとなるとリード幅、リード間隔が短くなり、図 2.6 のような「未はんだ」や、隣接リードピン間の過剰はんだにより図 2.7 に示したはんだブリッジが発生する。

図 2.6 や図 2.7 に示すような欠陥は手はんだではんだ付けする場合だけでなく、自動はんだ付け装置である「リフロー装置」ではんだ付けする際にも発生する。

BGA IC においてはピンがパッケージの底面に設けられているため、手はんだでなく、はんだボールを IC 側のランドに印刷しリフロー装置を使ってプリント配線板とはんだ付けされる。その際に発生する欠陥例を図 2.8 に示す。図 2.8 では上部がプ

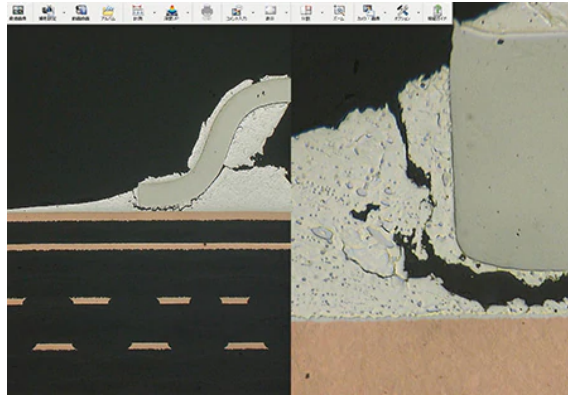


図 2.6 IC のリードと PCB 間に発生したクラック例 [1]



図 2.7 SOP IC と PCB 間にはんだ付け時に発生した断線例 [2]

プリント配線板側のランド，下部が IC 側のランドで，はんだボールがプリント配線板側と繋がらず間隙が発生した例で，はんだボールとランド間に空隙が発生し未接続となっている。

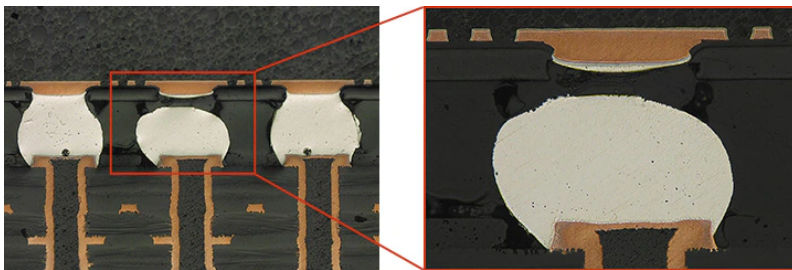


図 2.8 BGA IC パッケージと PCB 間にはんだ付け時に発生した欠陥例 [1]

図 2.9 に BGA IC のリフロー装置によるはんだ付け工程時に発生するはんだボールとランド間の欠陥の発生原理を示す。図 2.9 に示すようにリフロー前にははんだ

ボールがIC側に付いており、プリント配線板側にはクリームはんだが印刷された状態から加熱が開始される。その加熱によりはんだボールが融解する。その後の冷却時にはんだボールが収縮し間隙がバンプとランド間に発生する。リフロー時の適切な温度管理でその間隙発生を防止できるが、それができなかった場合は図2.8のような欠陥が発生する。

図2.10にBGA ICをリフロー装置で自動はんだ付け時に図2.9の原理で発生する他の欠陥例を示す。図2.10に示すようにリフロー装置による自動はんだ付け時にプリント配線板だけでなくICパッケージも熱せられるため、両方に反りが発生する。それにより「ノンウェット・オープン (Non-wet Open, NWO)」や「枕濡れ不良 (Head In-Pillow, HIP)」が発生する。特にパッケージサイズが大きいBGA ICパッケージではその端部に発生する可能性が高い。その一方でパッケージの中央部分にピン間ブリッジが発生する場合もある。

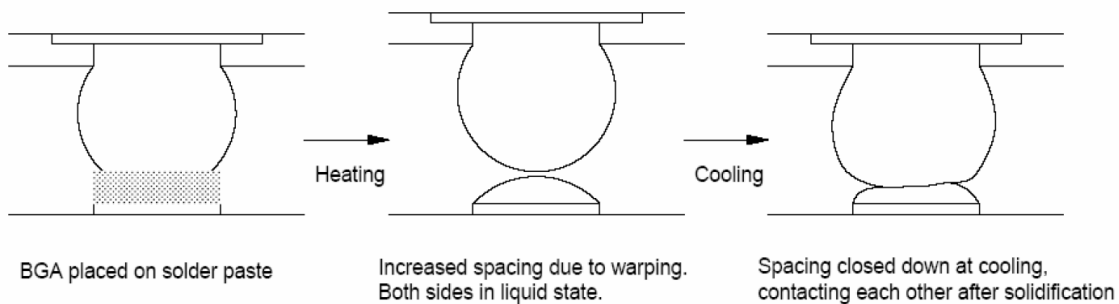


図 2.9 リフローによる BGA IC を用いたはんだ付け時に生じる不濡れ断線 [3]

NWOは図2.8で発生した欠陥と同じもので、ランドとはんだボール間が未接続となる欠陥である。一方、HIPは通常ではランドとはんだボール間が接続された状態で、電気信号は伝搬される。しかし外気温度変化や振動によって離れたりくっついたりすることで、間欠的に不導通となるので発見することが難しく、信頼性低下を招くため発見しておくべき欠陥の一つである。

はんだボールの亀裂は、はんだボール内のボイドによって引き起こされたり、リフロープロセス後のNWOやHIPによって発生する可能性がある [5]。また、落下試験およびランダム振動試験による信頼性の分析結果では、はんだボールに亀裂が発生した後、電氣的に接続した状態と開放した状態を繰り返す可能性がある [6]。

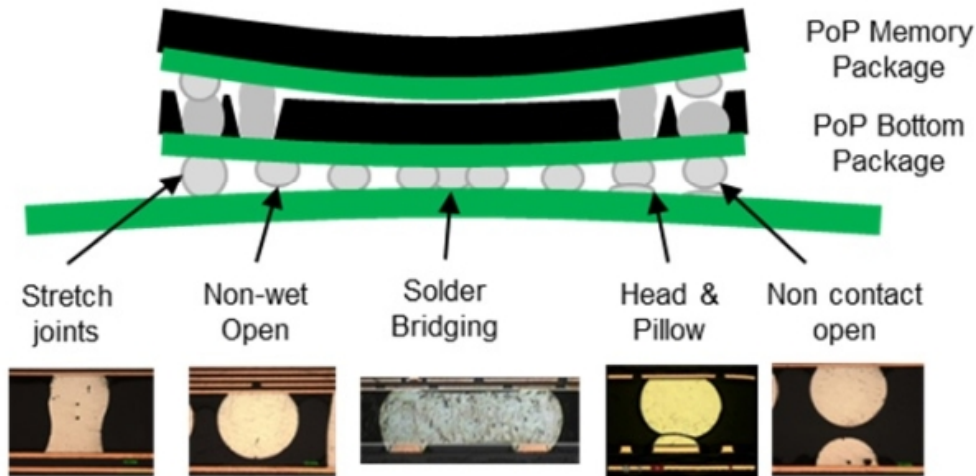


図 2.10 リフローによる BGA IC のはんだ付け時に生じる欠陥 [4]

この現象は熱サイクル試験 [7] でも発生し、断続的な障害としてモデル化されている。図 2.11 に BGA IC の熱サイクル試験結果例を示す。図 2.11 では一度非導通となった後も導通・非導通が繰り返されている。このことは市場にこの IC 実装基板が出荷された後、断線が発生すること、また発生後、温度によっては正常動作し、固定故障でなく発見が非常に困難な間欠故障として現れ、信頼性の低下を生じることを示している。

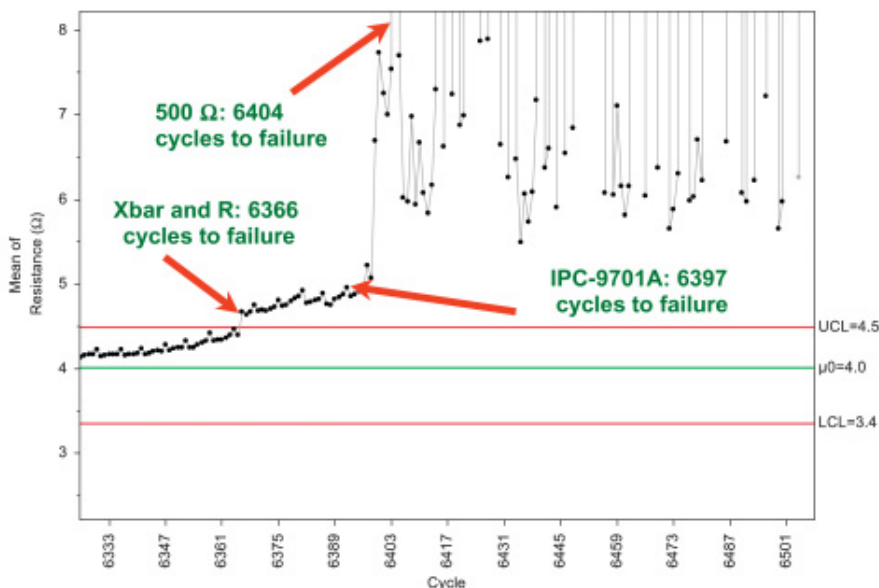


図 2.11 BGA IC の熱サイクル試験結果例 [7]

はんだ付け後に行った検査で正常な IC 実装基板と判定され市場に出荷された後

で、はんだ付け部にストレスマイグレーション、エレクトロマイグレーションにより図2.6のようなクラックが発生する場合がある。図2.6はQFP ICのリード部分に発生したクラックである。そのようなクラックがBGA ICのはんだボールにおいても発生する。その例を図2.12に示す。図2.12に示すクラックは、IC実装基板の出荷後に生じる。このように製造時に発生するだけでなく、市場に出荷後に欠陥が発生する場合があります。それを用いて作られた電子機器の信頼性低下を招くため、長期に亘る信頼性を確保するためには製品出荷後の検査が欠かせない。

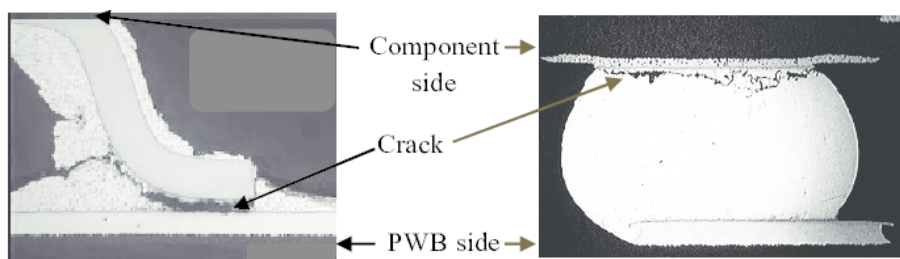


図 2.12 リードと BGA はんだボールに発生したクラック例 [8]

2.2.2 IC実装基板の既存の高信頼化法

IC実装基板は、2.2.1で述べたようにプリント配線板にICなどの電子部品をはんだ付けして作られる。図2.13にDIP(Dual In-line Package) ICを実装したIC実装基板例を示す。

DIP ICを実装したIC実装基板は、ICとプリント配線板間の接続状態を目視により調べる官能検査法で検査されてきた。しかし、ICのピン数の増加やIC実装基板の大型化により目視では長大な検査時間がかかることから、検査を自動化するためカメラでその配接続部を撮影し、コンピュータによる画像解析により検査する「AOI(Automated Optical Inspection)」で検査されるようになっている。

ICのリードピンとプリント配線板間のはんだ付け状態を画像解析し、正しく接続されているように見えても、電気信号が伝搬されない場合がある。そのため図2.14に示すように、検査プローブをランドに接触させ、それに検査信号を印加しその信号が伝搬されたかが調べられてきた。こちらもICのピン数の増大やプリント配線板の大型化により、プローブ数が増大したため、その検査法を自動化するために、針の形をした検査プローブを検査治具からランドに接触させ、そこに信号を印加した時の出力信号を観測し、そのIC実装基板を検査する「インサーキットテスト法」で検査されている。

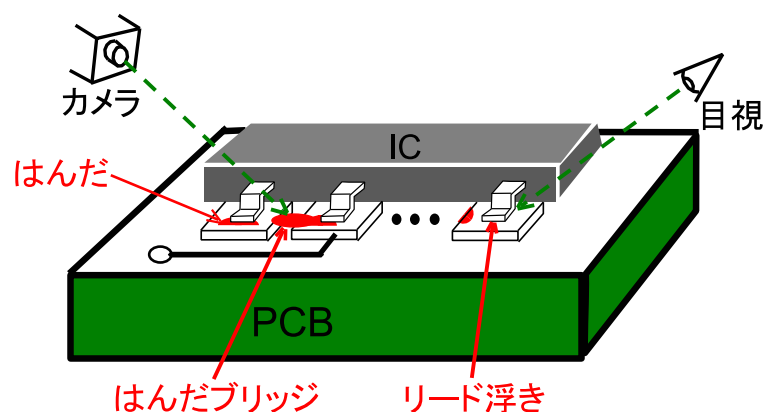


図 2.13 官能検査および外観検査による IC 実装基板回路の検査

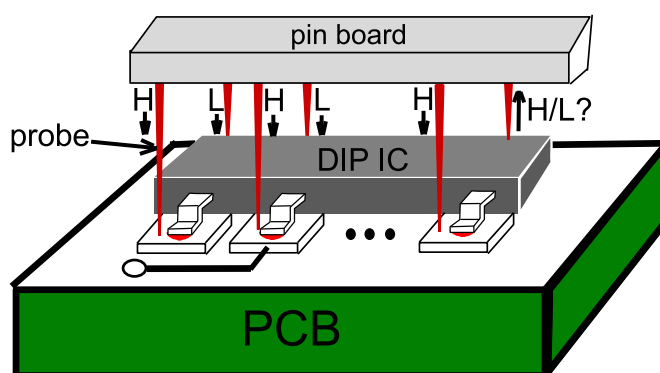


図 2.14 インサーキットテスト

ICとプリント配線板間の接続部分に抵抗成分や容量成分などを含んだ欠陥が発生すると、AOIやインサーキットテスト法では見逃す可能性がある。そのため、ICとプリント配線間の接続部の電気的特性を測定し検査する電気検査法が提案されている。その検査原理を図 2.15 に示す。

その検査法として IC 実装基板に電源を供給しない状態で検査する方法と、電源を供給した状態で検査する方法がある。電源を供給しない状態で検査する検査法では、IC のリードピンとランド間の抵抗値、容量値 [9] だけでなく、IC の入力保護ダイオードに電流を流し、その電流異常で検査する電気検査法も提案されている。電源供給時に検査する検査法としては、IC 実装基板外部から交流電界を印加した時の回路に流れる電源電流を測定し、その異常で検査する検査法も提案されている [10]。

それ以外に電気検査法として IC 外部から高速パルス信号を印加しその反射波の異常で断線を検出する時間領域反射率 (TDR) に基づく電気検査法 [11, 12] が提案さ

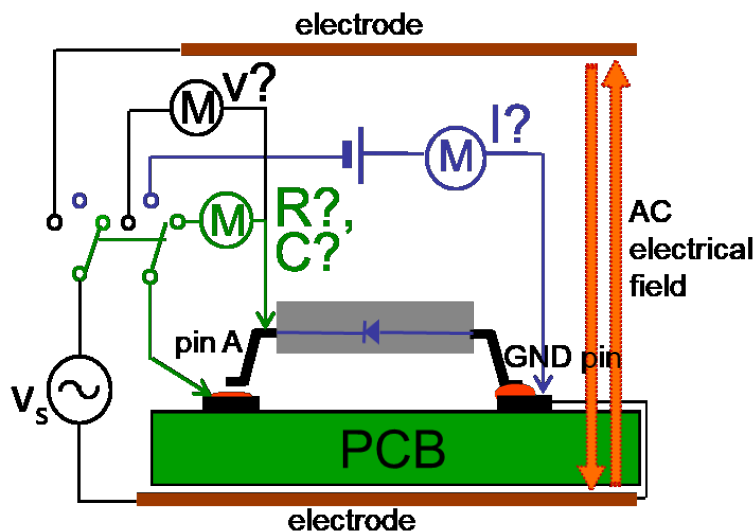


図 2.15 電気検査とその検査原理

れている。この検査法では検査プローブを検査対象配線に接触させる必要があり、BGA IC を用いて作られた IC 実装基板の検査では一部の配線しか検査できない。

2.2.1 で述べたように、プリント配線板に BGA IC を実装する際にはんだ付け部に欠陥が発生すると、そのはんだ付け部が IC で隠れて見えないため、検査プローブを接触させ検査するインサーキットテスト法や TDR 法で検査することが不可能である。そこで、X 線画像や X 線 CT 画像を使用した検査法が提案されている [13, 14]。図 2.16、図 2.17 に正常時および HIP 発生時のはんだ接続部の X 線画像例を示す。

しかし、X 線装置は高価であり、また接続数の増加にともない検査時間が膨大になってしまう課題がある。またこの検査法は AOI と同じ問題を有しており、見かけ上正しく接続されていても電気的には繋がっていない欠陥は発見できない。

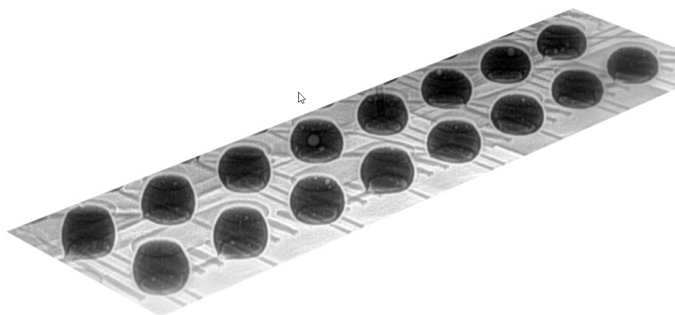


図 2.16 BGA IC のはんだ接合部の X 線画像 (正常時)

検査プローブを IC とプリント配線板間の接続部に当てて検査することが BGA IC

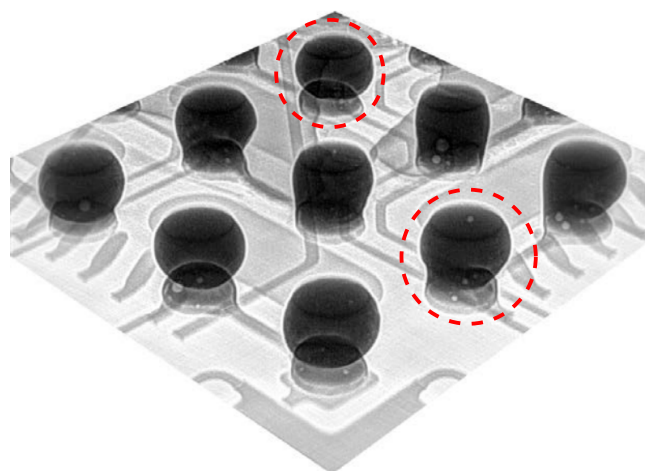


図 2.17 BGA IC のはんだ接合部の X 線画像 (破線で囲んだ部分に HIP 発生)

ではできないことから、検査プローブを使わずに検査するために検査回路を IC 内に組み込み検査する方法が開発されている。その代表的な検査法として論理値検査法の「バウンダリスキャンテスト法」がある。この検査法は、IEEE1149Std [15,16]として標準化されており、「バウンダリスキャンセル」を使用した検査法である。図 2.18 に示すように、バウンダリスキャンセルは IC の入出力部にチェーン上に組み込まれている。バウンダリスキャンテスト法は、出力側の IC の出力論理値を任意に設定し、入力側の IC に信号を伝搬させて論理値の比較を行う。そして、論理値が一致しない場合にその接続部に欠陥が発生しているとして検出する検査法である。

バウンダリスキャンテスト法は、IC の内部に組み込まれたバウンダリスキャンセルを用いて検査するため、BGA IC のような可観測性の低い IC に対する検査が可能となる。しかし、信号遅延しか生じない欠陥の検出は難しい。

そのような欠陥に対しては電気検査法が有効であるので、FPGA(Field Programmable Gate Array) IC を対象として、その IC パッケージの角の部分で発生する欠陥を検出するための内蔵セルフテスト (Built in Self Test, BIST) 回路も提案されている [17]。プリント配線板や IC の熱応力によるゆがみで発生する欠陥は IC のパッケージの角の部分で発生することが多いことから、この検査法が提案されている。しかし IC パッケージのそれ以外の部分でも NWO や HIP が発生することがあり、その欠陥は検出できない。

検査対象配線に発生した欠陥を発見するには、検査信号を印加し、それで生じる

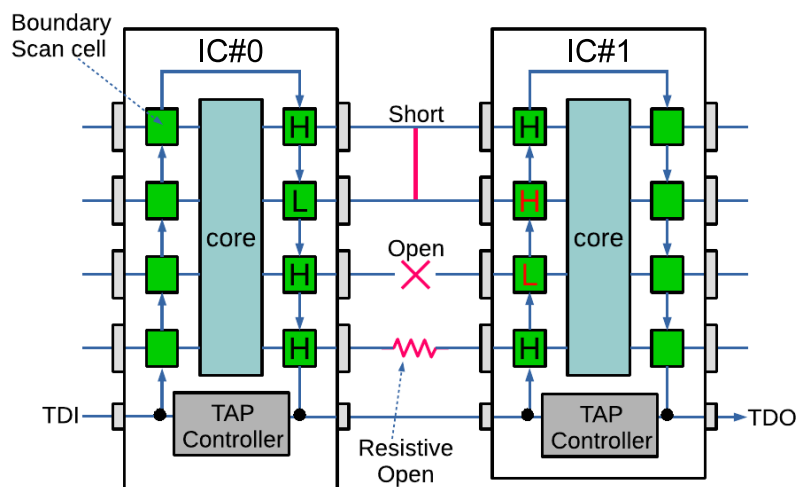


図 2.18 バウンダリスキャンテスト

異常を観測しなければならない。それには検査信号の印加しやすさを表す「可制御性 (controllability)」とそれによって生じる異常の観測しやすさを表す「可観測性 (observability)」が求められる。BGA ICを用いたIC実装基板では検査プローブをICとプリント配線板間の接続部に接触できないし、X線照射でないと接続部を観測できないため、それらが低い。バウンダリスキャンテスト法ではバウンダリスキャンセルを使い、それらの可制御性、可観測性を高めている。

電気検査でそのようなIC実装基板を検査する場合であっても可制御性、可観測性が必要なため、バウンダリスキャンテスト法と同様に、ICに対して検査容易化設計 (Design for Testability) が求められる。

文献 [18] では検査時にICとプリント配線板間の接続部に静的電源電流を流し、その異常を観測し検査する電気検査法と、その電気検査を可能にするための検査用回路も提案されている。そこではその電気検査用の検査入力印加をバウンダリスキャンテストセルで行い、検査容易化設計を行っている。

図 2.19 にその検査容易化設計を施したICと文献 [18] で提案した電気検査法の検査原理を示す。この検査法ではIC内に組み込まれているバウンダリスキャンセルから検査対象配線にHレベル信号を出力させる。そして、その信号線に繋がるpMOSスイッチのみをオンする。IC Chip#i+1の検査用端子は検査用抵抗 R_c を介してGNDに接地しているため、図 2.19 に示す破線で示す経路で電源電流 I_{DD} が流れる。その信号線に欠陥が発生し抵抗成分を伴った場合、その電流は正常時に

比べ小さくなる。その信号線の欠陥をこの電流の異常で発見する。

文献 [18] ではそこに流れる電流の変わりにこの検査用抵抗 R_c の両端電圧 V_{Rc} を測定し、電圧 V_{Rc} が式 (2.1) を満たせばその検査対象配線上に欠陥が発生していると判定している。

$$V_{Rcn} - V_{Rcc} > V_{th} \quad (2.1)$$

ここで、 V_{Rcn} 、 V_{Rcc} は正常回路および被検査回路の V_{Rc} 、また V_{th} は不良判定しきい値を表す。 V_{th} は正常時の V_{Rc} のばらつきを求め、正常回路が正常と判定されるように決定する。検査時に式 (2.1) が満たされなければ検査対象配線に欠陥が発生していないと判断する。

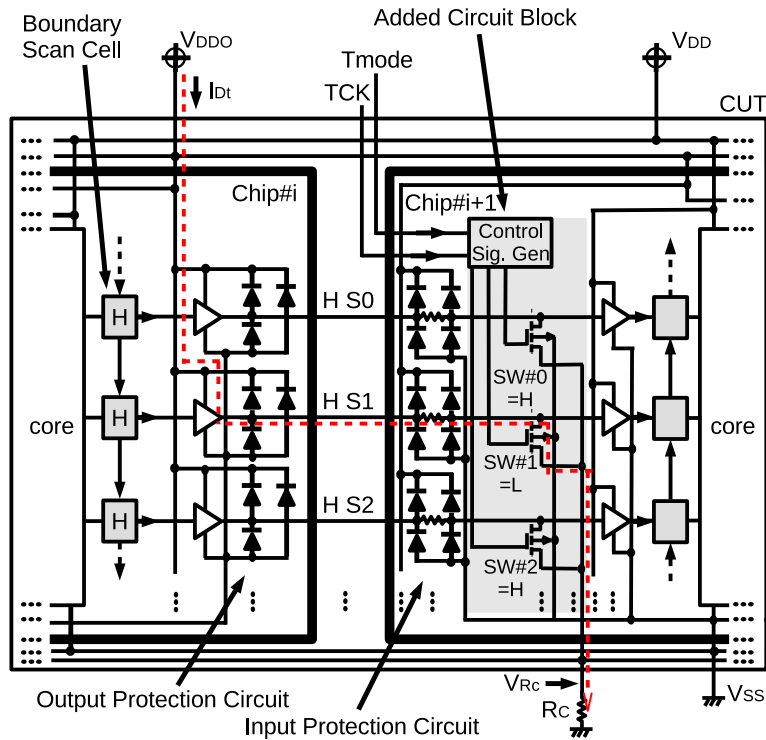


図 2.19 IEEE1149.1 準拠 IC に対する電気検査法の検査原理

2.3 3次元積層 IC で発生する欠陥とその高信頼化法

3次元積層 IC の内部構造例を図 2.20 に示す。その IC では図 2.20 に示すようにダイを3次元に積層する。このダイには良品ダイ KGDs(Known Good Die) が使用される。それらダイをシリコン貫通電極 TSV(Through-Silicon Via) とマイクロバンプで接続し、樹脂によってモールドする。ダイサイズは数 mm^2 で、プリント配線板へ

の3次元積層 IC のはんだ付けを可能にするため、インターポーザの上にそれらのダイを積層し、インターポーザを介してプリント配線板とはんだボールで接続する。

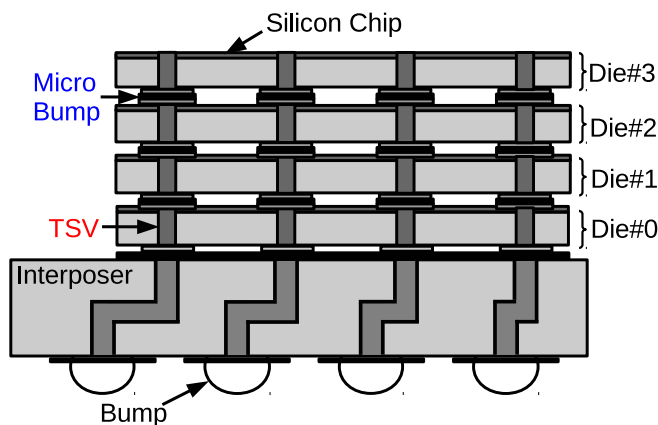


図 2.20 3次元積層 IC の内部構成

3次元積層 IC 内のダイ間距離は μm オーダと短いことから、ダイ間の信号伝搬が高速に行える。また信号伝搬時の電力消費がワイヤーボンディングでの接続に比べ少なくなる。さらに SoC(System on Chip) に比べチップサイズを小さくできるため、スマートフォンやノートパソコン等の可搬型電子機器の回路サイズの小型化要求、低消費電力化に対応できる。そのため、今後、3次元積層 IC が多用されることが期待される。

2.3.1 3次元積層 IC に発生する欠陥

3次元積層 IC は各ダイに TSV という電極を作成し、マイクロバンプと呼ばれるはんだボールを用いて各ダイ間の配線している。このマイクロバンプ中には 2.2.1 で述べたのと同様のポイドやクラックによる欠陥が発生する。一方で TSV の製造プロセスも複雑であり、TSV 製造時に欠陥が発生することがある [19,20]。

図 2.21 および図 2.22 に TSV に発生する欠陥例を示す。図 2.21 に示した欠陥は、TSV のメタル埋め込み部の絶縁膜が形成できておらず、TSV からシリコン基板にリーク電流が流れる欠陥例である。シリコン基板にリーク電流が流れるということはバルク電位が変動する可能性があり、そのダイが正常に動作しない恐れがある。図 2.22 に示した欠陥は、TSV の形成時にメタルが埋め込みきれておらず、TSV 中にポイドが存在し抵抗成分が発生した欠陥例である。この抵抗成分により信号遅延が発生し、論理値異常を起こす可能性がある。

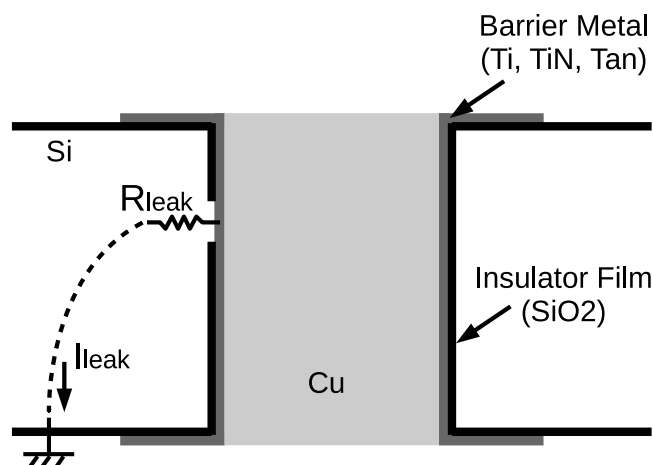


図 2.21 TSV に発生する欠陥例 1 (絶縁不良)

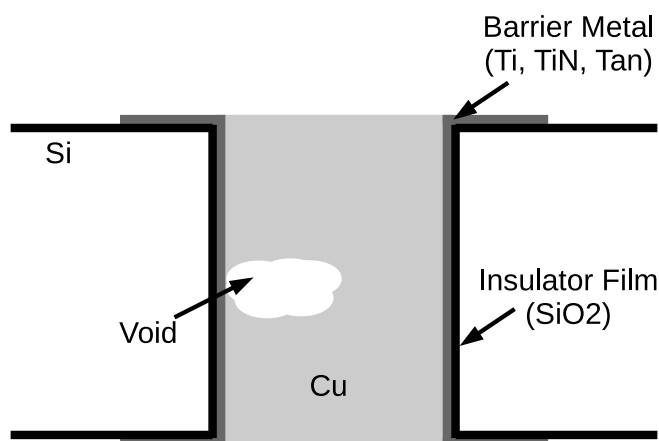


図 2.22 TSV に発生する欠陥例 2 (抵抗断線)

2.3.2 3次元積層 IC の既存の高信頼化法

3次元積層 IC は、図 2.20 に示すように、各ダイを TSV とマイクロバンプで接続し、樹脂によってモールドするため、その接続部がダイによって見えない。そのため、BGA IC を使った IC 実装基板の場合と同様、AOI や検査プローブを使って検査するインサーキットテスト法で検査することが不可能である。

3次元積層 IC は IEEE1149.1 規格に準拠したバウンダリスキャンテスト法でダイ間接続部を検査する方法が提案されている [19, 20]。

しかし、3次元積層 IC ではダイ間接続部が多いため、全接続部をその検査法で検査するには長大な検査時間が必要となる。そのため、検査時間短縮を目的とした多くの DfT (Design for Testability) 法が提案されている [21]。文献 [21] で提案

されている手法は複数の配線をひとつのグループとして、そのグループ単位で検査を行い、欠陥を検出するものである。

バウンダリスキャンテスト法はそもそも微小遅延しか生じない欠陥の検出は困難である。そのような欠陥までバウンダリスキャンテストセルを用いて検出できるようにするため、バウンダリスキャンテストセルを用いた電気検査法が提案されている [22]。

文献 [22] ではリングオシレータをダイ内に組み込み、そのリングオシレータの発振周期の変化を観測し、配線の欠陥を検出する電気検査法が提案している。

この他にも検査時に IC とプリント配線板間の配線に静的電源電流を流し、その異常を観測し検査する電気検査法が提案されている [23, 24]。

文献 [23] では入力保護回路に繋がる信号線に MOS スイッチを接続し、検査時のみオンにし電源電流を流す検査法ならびにその検査回路を提案している。文献 [24] では MOS スイッチではなくダイオードで接続し、バウンダリスキャンテストセルから H レベル信号を印加した信号線のみ電源電流を流しその異常で検査する検査法ならびにその検査回路を提案している。ただそれらの検査法ではダイの製造ばあつきによる電源電流異常と欠陥によって生じる電源電流異常の区別がつかないため、欠陥が発生していない信号線を誤って欠陥がはっせいしていると判定するオーバーキルが発生する可能性があり、新たな検査法の開発が求められている。

2.4 本研究での高信頼化アプローチ

図 2.23 に製造された装置、回路、回路素子の故障率曲線 [25] を示す。この曲線はバスタブ曲線とも呼ばれている。

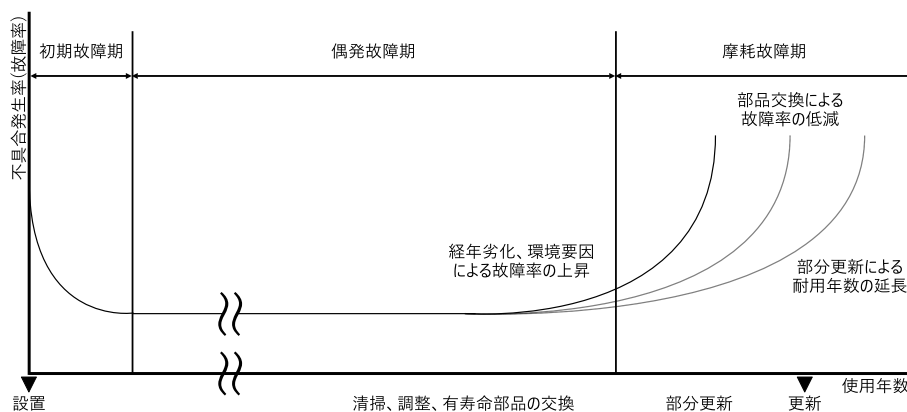


図 2.23 故障率曲線（バスタブ曲線）

バスタブ曲線は、時間経過によって発生する機械・装置の故障の割合変化を示した曲線である。図 2.23 で横軸が時間、縦軸が故障率であり、左から順に初期故障期、偶発故障期、摩耗故障期である。製品の開発初期は、設計ミスや製造上の不具合が発生するため、故障率が高い傾向にある。これらの不具合は、徐々に修正されていくため、時間の経過とともに故障率が低下する。このように故障率が低下していく期間を初期故障期と呼ぶ。初期故障期で故障率が下がってくると、あるところで故障率が落ち着き、長期間一定に安定する期間が続く。この故障率が安定している期間を偶発故障期と呼び、製品の故障率が最も低く、安定した動作が期待できる。この期間に発生する故障の多くは操作ミス等による突発的な事故によるものである。そして、製品の稼働から長期間経過すると再び故障率が上昇してくる。これは製品が寿命に達した状態であり、長期間の使用による摩耗や劣化、損耗などが蓄積することにより故障が発生する。このように故障率が時間経過とともに上昇していく期間を摩耗故障期と呼ぶ。

図 2.23 に示すバスタブ曲線のような信頼性の時間的变化は機械や装置に限らない。図 2.24 に BGA IC を用いた IC 実装基板におけるバスタブ曲線例を示す。図 2.24 に示すように、製造工程で初期不良であるブリッジなどの欠陥が発生する。それが出荷前検査と製造工程管理で不良を減らすことで曲線全体を下方方向に下げることができ、長期に亘り信頼性を高めることができる。さらに製品の市場へ出荷後も検査することで偶発的不具合であるはんだ不足による断線や過剰はんだによる短絡などの欠陥を発見し不良を減らすことができるので、出荷後の検査も行うことで信頼性を上げることができる。その出荷後の検査で不良を取り除いても、経年劣化でマイグレーションやクラックの不良が発生するため、その不良も検出できる検査を出荷後に行うことで、さらに信頼性を上げることができる。

高い信頼性を確保するには図 2.24 の故障率を低くすれば良いので、長期に亘って高い信頼性を確保するには、(1) 初期不良を減らすために市場へ出荷前に十分検査し製品に含まれる欠陥を減らすこと、および(2) 製品出荷後も検査すると共にそこで経年劣化で生じる欠陥が故障に至る前に発見することが必要であることがわかる。

そこで本研究では、製品出荷前に行う検査(以後、「**出荷前検査**」と呼ぶ)で欠陥を確実に検出できる検査法を開発する。さらに製品出荷後に検査する検査(以後、「**出荷後検査**」と呼ぶ)が図 2.24 に示すように長期にわたって電子機器の高信頼性を確

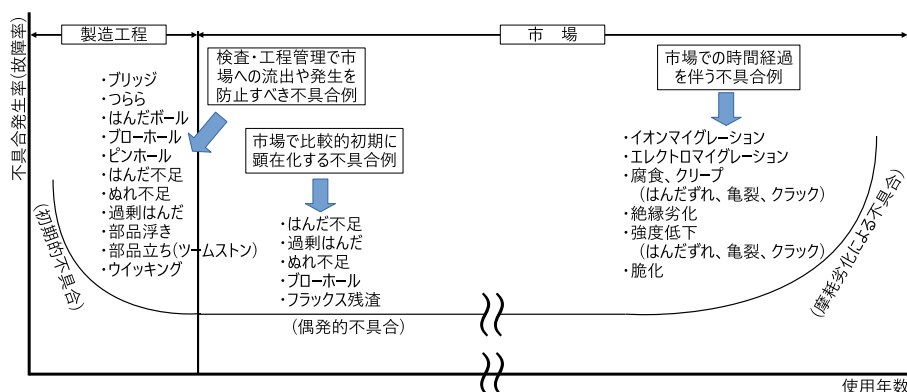


図 2.24 BGA IC パッケージと PCB 間の接続部に発生する欠陥

保する上では欠かせないことからその検査法を開発する。

本研究は IC 実装基板と 3次元積層 IC 内に発生する欠陥を検出する検査法を開発し、それらの高信頼化を目指すことを目的としている。それらの検査対象回路に発生した欠陥は、デジタル回路図上では信号線に発生した欠陥として表現できる。

例えば図 2.25 にその IC 実装基板に発生する欠陥例を示す。そこでは IC#2 の 1 番ピンと 2 番ピン間にはんだブリッジが、また IC#2 の 8 番ピンにリード浮きが発生している。その欠陥は図 2.26 の信号線 S1, S2 間での短絡、信号線 S8 の断線として表現できる。

3次元積層 IC 内におけるダイ間配線は図 2.26 の IC 間でなくダイ間信号線に対応し、そこに発生する欠陥はデジタル回路図内のダイ間の信号線に発生する欠陥として表現できる。

そこで本論文の以降では IC 実装基板、ならびに 3次元積層 IC 内のダイ間のはんだ付け不良の検出問題は、そのデジタル回路図上の「信号線」に発生する欠陥の検出問題として議論する。

本論文では IC 実装基板におけるプリント配線板ならびに IC 等の電子部品、3次元積層 IC 内のダイは実装前に十分検査され、それには不良が発生していないと仮定し、3章では IC 実装基板への IC 実装時に発生した欠陥信号線を検出し高信頼化を実現する方法を、4章では 3次元積層 IC 製造時に発生したダイ間の欠陥信号線を救済し高信頼化を実現する方法を議論する。

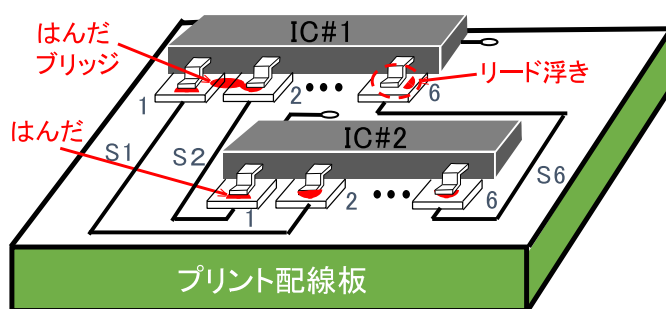


図 2.25 IC 実装基板に発生する欠陥例

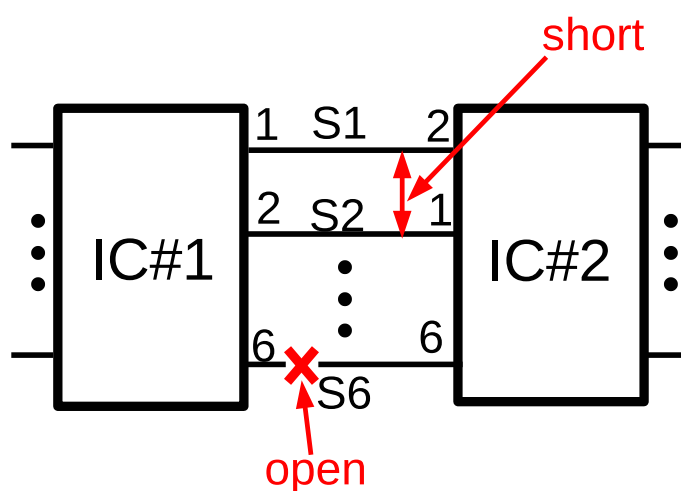


図 2.26 デジタル回路図上での本研究の対象欠陥の表現

2.5 まとめ

本章では IC 実装基板と 3次元積層 IC で発生する欠陥を紹介した。そこでは欠陥なしでの製造が困難となっていることを述べた。また IC の高機能化によりその欠陥の既存の検査法による発見が困難で、見逃す可能性があることも述べた。

確かに欠陥が必ずしも故障になるわけではないので、すべての欠陥を発見する必要はない。しかし、出荷前検査では発見できなかった欠陥が出荷後に成長し、その IC 実装基板や IC を用いた電子機器の誤動作を招く可能性がある。そのため出荷後検査のための検査法の開発の必要性も述べた。またそれらの高信頼化を実現するためには検査容易化設計が必要であることも述べた。

IC 実装基板、3次元積層 IC に対し、本章で紹介した本研究の高信頼化に対するアプローチに従い開発した高信頼化法に関して、それぞれ 3 章、4 章で述べる。

第3章 IC実装基板の電気検査法による高信頼化法

3.1 はじめに

ICをプリント配線板にはんだ付けして実装するIC実装基板製造時に、そのはんだ付け部にさまざまな欠陥が発生することを2.2.1で述べた。またIC実装基板の高信頼化を実現するため、2.2.2で述べたように様々な検査法が開発されている。

近年、電子回路の小型化要求からBGA ICを用いたIC実装基板が作られるようになってきた。さらに鉛フリーはんだを用いられるようになったことから、2.2.1で述べたように欠陥が発生し易くなっている [26]。そのはんだ付け時にはんだバンプにクラックが発生する場合がある [6,7,27-29]。そのクラックは製造時に発生したはんだバンプ内のボイドが出荷後に成長し、同様に発生する場合がある。またHIPやNWOがBGA ICとプリント配線板間の信号線に発生する場合があり、それは既存の検査法での検出ができないことが明らかにされている [5]。そこで本研究では既存の検査法での検出が困難な欠陥の新しい検査法の開発を行った [30]。

本論文では3.2で従来の検査法で検出困難で本研究で検出対象とする欠陥について述べ、3.3でその欠陥を検出する検査法とその検査法による検査を可能とする組込型検査用回路について述べる。その検査法は弛緩発振器の発振周波数の異常によりICとプリント配線板間の信号線に発生した欠陥を検出するものである。発振周波数の測定回路は一般に回路サイズが大きくなるので、指定した検査時間でのパルス数の異常で欠陥を検出する。その検査用回路を3.3で述べる。

本研究ではその検査用回路を内蔵したICのレイアウト設計を行い、SpiceシミュレーションによりICとプリント配線板間の信号線の欠陥の検出能力を調査した。その結果を3.4で述べる。またプロトタイプのICを試作し、そのICをプリント配線板にはんだ付けしたIC実装基板を用いて、そのIC実装基板に挿入した欠陥が検出できるか実験で調査した。その結果を3.5で述べる。

3.2 検出対象欠陥

2.2.1で述べたようにICをプリント配線板にはんだ付けする際には鉛フリーはんだが使用される。その際、そのはんだ付け部で欠陥が発生する可能性がある [26]。図2.5に示すようにBGA ICをプリント配線板にはんだ付けする際にははんだボール

を使用する。はんだ付け時に、はんだボール中やはんだボールとランドの接続面に亀裂が発生する [6, 7, 27–29].

図 3.1 に本研究での検出対象欠陥を示す。

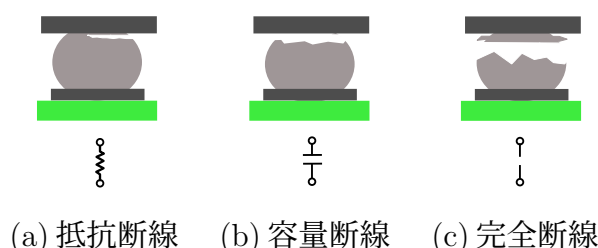


図 3.1 BGA IC を用いて作られた IC 実装基板の検出対象断線

一般的にプリント配線板に BGA IC をはんだ付けする際はリフロー装置を使用する。このリフロー装置でのはんだ付け工程時にはんだボール中に亀裂または破壊が引き起こされると、プリント配線板と BGA IC 間に抵抗成分が現れる。この抵抗値は欠陥の大きさによって増加する [6, 7, 29]. そしてこの抵抗値の大きさによっては論理信号の伝搬遅延を引き起こす。このような欠陥は図 3.1(a) に示すように抵抗素子でモデル化できる。本論文ではこの欠陥を「**抵抗断線**」と呼ぶ。

はんだボールの一部だけがランドと接続しているような欠陥は抵抗断線である。しかしこの他にはんだボールとランド間が物理的に接続していない欠陥が発生する可能性もある。その欠陥ではんだボールとランド間の間隙が小さい場合、高速な論理信号はその間隙を介して伝搬される。このような欠陥は図 3.1(b) に示すようにキャパシタでモデル化できる。本論文ではこの欠陥を「**容量断線**」と呼ぶ。

はんだボールとランド間の間隙が大きい場合、論理信号は伝搬することができない。このような欠陥は図 3.1(c) に示すように開回路でモデル化できる。本論文ではこの欠陥を「**完全断線**」と呼ぶ。

はんだボールの亀裂は、はんだボール内のボイドによって引き起こされたり、リフロープロセス後の HIP や NWO によって発生する可能性がある [5]. また落下試験およびランダム振動試験による信頼性の分析結果では、はんだボールに亀裂が発生した後、電氣的に接続した状態と開放した状態を繰り返す可能性があることが確認されている [6]. この現象は熱サイクル試験 [7] でも発生し、間欠的な障害としてモデル化されている。

図 3.1 の欠陥ははんだ付け時だけでなく出荷後にも発生する。図 3.2 にはんだボー

ル中に発生する欠陥の成長過程を示す。図 3.2 に示すように、はんだボールはエレクトロマイグレーションまたはストレスマイグレーションによって亀裂が入り抵抗断線が発生する。その亀裂が広がりランドとの物理的接触がなくなると今度は容量断線となる。さらにその容量断線がプリント配線板の反りや間隙の成長によって完全断線へと至る。これは最終的にはプリント配線板と BGA IC の電氣的接続が失われることを意味している。その場合、IC 実装基板が正常に動作できない場合が生じることがあり、電子機器の誤動作の原因となる。

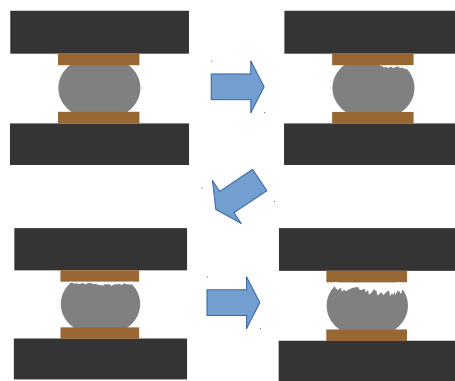


図 3.2 欠陥の成長過程

ここで述べた抵抗断線、容量断線および完全断線は QFP IC を用いて作られた IC 実装基板でも発生する可能性がある。それらは BGA IC を用いて組み立てられたものと同じ電氣的特性の変化を引き起こす。本章では BGA IC とプリント配線板間の「信号線」に発生する欠陥を検出する方法について述べる。

3.3 開発した電気検査法とその組込型検査用回路

BGA IC では入出力ピンがパッケージの裏面に設けられているため、BGA IC とプリント配線板間の信号線を目視やカメラで見ることができない。そのため、2.2.2 で述べたように X 線画像を撮影しその画像解析で信号線に発生した欠陥を検出しようとする検査法が提案されている [13, 14]。その検査法は検査装置が高価で、また検査速度が低速であることから、非常に高い高信頼性が求められる車載電子回路の検査で主に使用されている。ただ、IC がプリント配線板にはんだ付けされているように見えても電氣的には正しく配線されていない場合があり、それはこの検査法では検出できない。

また BGA IC では 2.2.2 で述べたようにその信号線に検査プローブを当てること

ができない。そのため、IC内にバウンダリスキャンテスト回路を内蔵させ、それを使ってICとプリント配線板間の信号線を検査できるようになっている。そのバウンダリスキャンテスト回路でICとプリント配線板間の信号線に発生する容量断線、完全断線および短絡は検出できる。しかし、3.2で述べた抵抗断線は信号伝搬遅延時間の増大するが正しい信号伝搬が行われるため見逃す可能性がある。

ICとプリント配線板間のはんだ付け状態をデジタル信号により検査するのではなく、その信号線の電気的特性により検査する電気検査法が提案されている。それらの検査法ではその信号線に検査プローブを接触させる必要がある。そのため、BGA ICを用いたIC実装基板ではそれらの検査法で検査できない。

そこで、IC実装基板に電源を供給し、IC外部から交流電界、交流磁界を印加した時の電源電流を測定し検査する検査法が提案されている [10]。その検査法では文献 [13,14]と同様に検査入力生成が不要であり、交流電界、交流磁界を印加時の電源電流を測定すればよい。しかし、この検査法でも抵抗断線は検出できない。

BGA ICを用いたIC実装基板では、ICとプリント配線板間の信号線の検査を可能とするために2.2.2で述べたバウンダリスキャンテスト回路が多くのIC内に組み込まれている。そのため、その検査回路を流用した電気検査法も提案されている [31,32]。その検査法ではその電気検査法の検査入力をバウンダリスキャンテスト回路で印加し、検査時のみ検査対象信号線に電源電流を流し、その静的電源電流の異常でその信号線に発生した欠陥を検出しようとするもので、その電流の測定回路も提案されている。またその測定回路を内蔵したICも設計・試作し、完全断線および容量断線、150Ω以上の抵抗断線の検出が可能であることがSpiceシミュレーションならびに回路実験により確認されている [31,32]。

近年、電子回路の更なる小型化要求に対応するため、3次元積層ICが開発されている。そのIC内のダイ間の信号線の検査はBGA ICとプリント配線板間の信号線の検査と同じで検査プローブを接触できず、またその信号線を目視で観測できない。そのため、その信号線のX線画像は撮影できても電気信号の伝搬が観測できない。

3次元積層ICのダイ間の信号線をリングオシレータのフィードバックループ内に含め、その発振周波数の異常で検査する検査法が提案されている [33,34]。その検査法でIC実装基板も検査できることが期待できる。しかしながら、容量断線が発生した信号線は高速デジタル信号を伝搬できる場合がある。容量断線は間欠故障として

現れる場合があり、IC実装基板の高信頼性の低下を招く。

本研究では抵抗断線、容量断線および完全断線を検出するための検査法および検査回路の開発を行った。その検査法は弛張発振器を用いたものである。弛張発振器はその発振器に電流を供給することで発振する。その発振回路に電流を供給する経路内に検査対象信号線を含めることで、例えばその信号線に容量断線が発生していた場合、発振器に電流が供給されず発振しない。そのため、その信号線が正常時に比べ発振周波数に著しく大きな異常が現れ、確実に検出できる可能性がある。そこで本研究ではリングオシレータでなく、弛張発振器の発振周波数の異常で検査する検査法を開発した [30]。

本節では、開発した検査法の検査原理を 3.3.1 で述べ、その検査を可能にする組込型検査回路を 3.3.2 で述べた後、その検査回路を用いた検査法について 3.3.3 で述べる。

3.3.1 開発した電気検査法の検査原理

弛張発振器は充放電するコンデンサ、しきい値を決定する抵抗およびトランジスタ 2 個で構成することができる。集積プロセスで弛張発振器を作製する場合、電流制御のバイポーラトランジスタよりも電圧制御の MOS トランジスタを使用する方が、面積および消費電力を抑えることが可能である。そのため、本研究では MOS トランジスタで設計した。また本研究ではコンデンサの充放電を切り替える MOS スイッチのゲインを急峻にするため、シュミットトリガインバータゲート回路を使用した弛張発振器を設計した。なお、シュミットトリガインバータゲート回路はヒステリシス特性を持っており、そのヒステリシス特性の 2 つのしきい値によって弛張発振器の発振振幅を設定することが可能である。

図 3.3 にその弛張発振器を用いた IC 実装基板の欠陥検出原理を示す。弛張発振器は図 3.3 内の ROsc である。検査時には ROsc への電流供給経路上に検査対象信号線を含め、発振器の発振周波数によりその信号線上に欠陥が発生していないか調べる。つまり、その発振周波数に異常が発生すればその信号線に欠陥が発生していると判定する。例えば、図 3.3 では抵抗断線が発生していない信号線 S_2 を検査するときの弛張発振器の発振周波数は、抵抗 R_f の抵抗断線が発生している信号線 S_1 の検査時の発振周波数よりも弛張発振器に供給する電流が大きいため高くなる。本検査法ではその発振周波数の違いにより検査対象信号線に欠陥が発生していないか調べる。

示すように、本検査法では検査対象信号線に検査時にのみ H レベル信号を出力させる。近年、IC 内にバウンダリスキャンテスト回路が内蔵されることが多くなってきたので、そのテスト回路を流用し、本検査法による検査時に本検査法の検査入力信号を検査対象信号線に出力させ、弛張発振器を発振させ検査対象信号線に断線が発生していないか調査する。

3.3.2 開発した組込型検査回路

3.3.1 で述べたように本研究で開発した弛張発振器はコンデンサ、抵抗、MOS トランジスタおよびシュミットトリガインバータゲート回路から構成する。その弛張発振器の発振原理を図 3.4 に示す。

図 3.4 に示すように信号線 S_1 検査時はそれにつながる出力バッファゲートから H レベル信号を出力させ、弛張発振器に直流電圧源 V_{DDIO} から出力バッファ内の pMOS および入力ピンに挿入した pMOS スイッチ M_{ps1} を経由して電源電流を供給させる。この電源電流によりコンデンサ C_0 が充電され、弛張発振器の入力部の電圧 V_{ROsc} が上昇する。その電圧がシュミットトリガインバータの高い側のしきい値 V_{THL} を上回るまでの間、シュミットトリガインバータから M_{p0} のゲート端子には H レベル信号が印加される。このとき、 M_{p0} 、 M_{n0} は共にオフとなり、図 3.4(a) に示す経路で電流が流れる。

C_0 が十分充電され、 V_{ROsc} がシュミットトリガインバータの高い側のしきい値 V_{THL} を上回ると、 M_{p0} のゲート端子に L レベル信号が印加されてオンとなり、同時に M_{n0} もオンとなる。このとき、図 3.4(b) に示す経路で電流が流れ、 C_0 に充電されていた電荷が放電される。 V_{ROsc} が低下し、シュミットトリガインバータの低い側のしきい値 V_{TLH} を下回ると、 M_{p0} のゲート端子には H レベル信号が印加され、 C_0 は再び充電を開始する。

このようにコンデンサ C_0 が充放電を繰り返すことで弛張発振器は発振する。信号線 S_1 に抵抗 R_f の抵抗性断線欠陥が発生していた場合、その電源電流が正常時に比べ小さくなるので、発振周波数が低くなる。本検査法ではこの発振周波数の異常によりその信号線に欠陥が発生していないか調査する。

図 3.3 中には図 3.4 の発振原理で発振する弛張発振器を用いて、IC 実装基板の電気検査を行う検査回路を示している。図 3.3 に示すように、その検査用回路は弛張発振器の発振周波数の異常により検査対象信号線の欠陥を検出する検査回路 $OscTC$

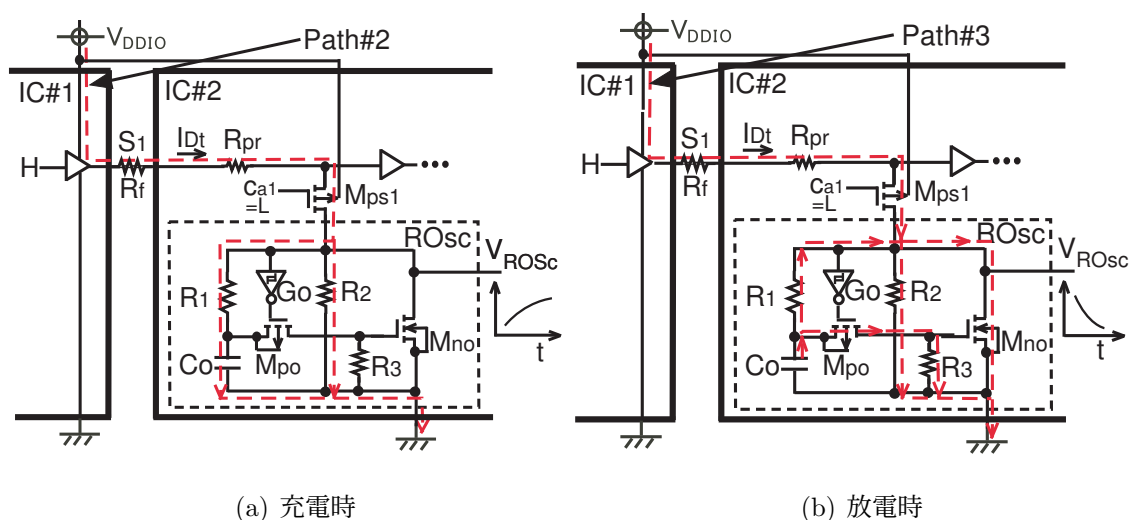


図 3.4 実装基板検査時の弛張発振器の発振原理

他に、各信号線と OscTC 間に挿入した pMOS スイッチ、その pMOS スイッチのどれか 1 個をオンにする信号を発生する検査制御回路 TCC から構成する。TCC にはテストモード信号 $\overline{T_m}$ とクロック信号 T_{ck} の 2 種類の信号を印加する。TCC は $\overline{T_m}$ に L レベル信号印加時に T_{ck} に同期して動作するシフトレジスタで、 T_{ck} の周期毎に TCC から L レベル信号がそれにつながる pMOS スイッチのゲート端子に出力され、どれか 1 個の pMOS スイッチをオンにする。

一般に発振周波数の計測回路は大規模回路となる。その大規模回路を IC 内に組込むことは多くの場合受け入れられないため、本研究では弛張発振器の出力波形を矩形波に変換し、指定した時間内のパルス数で発振周波数を計測する。そのため OscTC は図 3.3 に示す様に弛張発振回路 ROsc の他に、その弛張発振回路の発振波形を矩形波信号に変換する波形整形回路 WSC、変換された矩形波のパルス数をカウントするカウンタ回路 CNTC、そのカウント値を 1 本の信号線で IC 外部に読み出せるようにカウンタ値をパラレルシリアル変換して読み出すための回路 COC から構成する。CNTC に格納されたカウンタ値はクロック信号 T_{co} を COC に印加し、その信号に同期して COC から読み出す。

3.3.3 開発した電気検査法

本研究で開発した電気検査法の検査原理を 3.3.1 で述べた。その原理で IC 実装基板を検査する検査法を本項で述べる。

本研究では 2 種類の検査法を開発した。それらは IC 実装基板の出荷前に行う最

終検査（以後「出荷前検査」と呼ぶ）で行う検査法と、IC実装基板を電子機器に組み込み市場に出荷後にそのIC実装基板を検査するフィールド検査（以後「出荷後検査」と呼ぶ）で行う検査法である。本項では出荷前検査法と出荷後検査法に分けて述べる。

3.3.3.1 出荷前検査法

本研究で開発した弛張発振器を用いたIC実装基板の出荷前検査法について、図3.5のIC実装基板を例にして述べる。

本検査法による検査では検査入力として検査対象信号線にHレベル信号を出力する必要がある。その検査入力印加ではIC内に内蔵されているIEEE1149Stdとして標準化されているバウンダリスキャンテスト回路を使用する。

検査対象回路の各ICにはテストモード信号 $\overline{T_m}$ を印加できるようにしており、IC#1とIC#2間の信号線を検査する場合、 $\overline{T_{m2}}$ にLレベル信号、 $\overline{T_{m3}}$ にHレベル信号をそれぞれ印加する。それにより T_{ck} にクロック信号が印加されたとしてもIC#3のTCCからのpMOSへの出力信号はすべてHレベル信号となりIC#3内のすべてのpMOSはオフとなる。一方、IC#2のTCCからはどれかのpMOSへの出力信号の一つがLレベル信号となりそのpMOSがオンとなる。図3.5では C_{a1} のみLレベル信号がTCCから出力されpMOSスイッチ M_{ps1} のみがオンとなり、電流経路Path#1で電源電流が RO_{sc} に供給され、発振を開始し、 C_{a1} にLレベル信号を印加している間中、 RO_{sc} が発振する。その発振波形をWSCで矩形波形に変換し、そのパルス数をCNTCでカウントする。それをクロック信号 T_{co} に同期してCOCからTR2端子に出力する。

TCCはクロック信号 T_{ck} に同期してどれかのpMOSにLレベル信号を出力するため、その周期 T_w で定まる時間内のWSCのパルス数をCNTCでカウントすることになる。また本検査法では各入力信号線が T_w 毎に検査されることとなる。

信号線 S_1 に抵抗断線が発生していた場合、 RO_{sc} に流れ込む電流が正常時よりも小さくなる。そのため、 RO_{sc} 内のコンデンサ C_0 の充電速度が遅くなり、 $V_{RO_{sc}}$ が V_{THL} を超える時間が正常時よりも時間がかかる。その結果、CNTCのカウント値が正常時よりも小さくなる。図3.6にそのときのOscTCの波形例を示す。図3.6に示す W_{On} と W_{Oc} の波形は、それぞれ正常時と抵抗断線時のWSCの出力波形である。図3.6では信号線 S_1 に抵抗断線が発生すると、 C_{a1} にLレベル信号を印加して

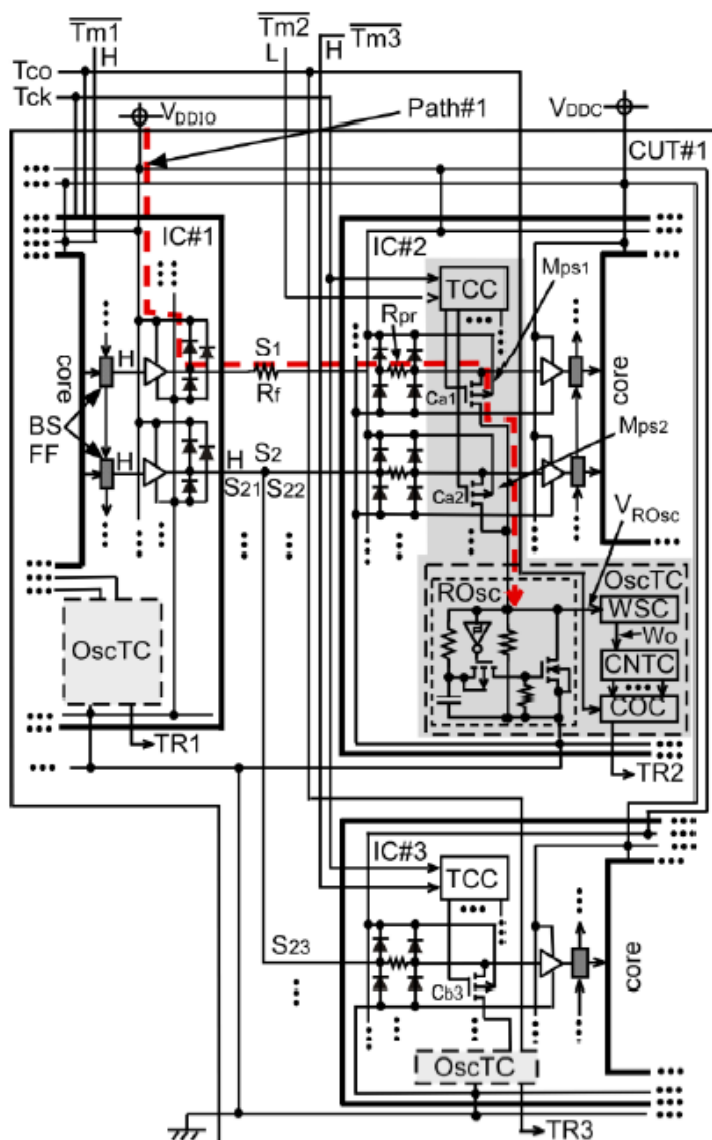


図 3.5 弛張発振器を用いた電気検査法による実装基板の電気検査

いる期間のパルス数は5から4に減少している。

本検査法では、 C_{a1} に L レベル信号を印加している期間である T_w の時間内のパルス数を N_p として測定し、その異常でその信号線に発生している欠陥を検出する。例えば、 i 番目の検査対象信号線で抵抗断線が発生した場合、その信号線の抵抗値が大きくなり、 T_w の時間内のパルス数 N_p が小さくなることでその抵抗断線を検出する。容量断線または完全断線のいずれかがその信号線に発生した場合は、その抵抗値が無限大となるため、弛張発振器は発振しない。そのため、 N_p はゼロとして測定され、それらの欠陥を検出することができる。

そこで本検査法では式 (3.1) が成り立つとその検査対象信号線に欠陥が発生して

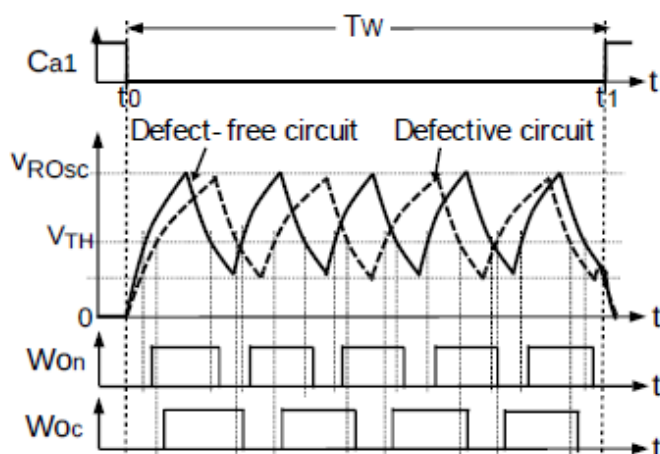


図 3.6 OscTC の波形の例

いると判定する.

$$N_{Pc}(i) < N_{Pn}(i) \quad (3.1)$$

ここで, $N_{Pc}(i)$ と $N_{Pn}(i)$ は, それぞれ i 番目の検査対象信号線における検査時および正常時の N_P である.

$N_{Pn}(i)$ は $ROsc$ から検査対象信号線までの距離によって異なる. これは検査対象信号線から $ROsc$ までの距離が変わると, それら信号線の寄生抵抗値が変わるためである. また, IC の製造ばらつきで $ROsc$ 内の MOS や出力バッファゲートの電気的特性がばらつく. そこで本検査法では $N_{Pn}(i)$ を値でなく, 範囲値である式 (3.2) で検出する.

$$N_{Pnmin}(i) \leq N_{Pn}(i) \leq N_{Pnmax}(i) \quad (3.2)$$

ここで, $N_{Pnmin}(i)$ と $N_{Pnmax}(i)$ は, それぞれその正常な信号線の $N_{Pn}(i)$ の最小値と最大値である.

検査対象信号線に抵抗断線が発生すると配線抵抗値が増大し N_P が小さくなる. そこで抵抗断線は式 (3.3) を用いて本検査法では検出する.

$$N_{Pc}(i) < N_{Pnmin}(i) \quad (3.3)$$

容量断線または完全断線発生時には弛張発振器に電源電流が供給されないため発振せず, $N_{Pc}(i)$ はゼロとして測定されるため, 式 (3.3) が満足される. そのため, 本検査法では式 (3.3) で抵抗断線, 容量断線および完全断線を検出する.

BGA IC を用いた IC 実装基板の場合, IC とプリント配線板間の信号線数は非常に多い. 例えば, 1 辺 100 ピンの BGA IC では信号線数が 10,000 個となる. そのよ

うな IC の信号線に対して $N_{P_{nmin}}(i)$ を検査装置内に記憶した場合、大量の記憶容量が必要となるので現実的でない。そこで本検査法では各信号線の $N_{P_{nmin}}(i)$ でなくその最小値である $N_{P_{nmin}}$ を検査装置内に格納しておき、式 (3.4) で検査対象信号線に発生した欠陥を検出する。

$$N_{Pc}(i) < N_{P_{nmin}} \quad (3.4)$$

本研究で開発した検査法では検査対象 PCB(CUT) 内の IC の $\overline{T_m}$ 信号の 1 つだけを L レベル信号に設定している。IC#2 の検査対象信号線は $\overline{T_{m2}}$ に L レベル信号および $\overline{T_{m3}}$ に H レベル信号をそれぞれ印加することによって検査する。信号 C_a はクロック信号 T_{ck} に同期することにより、IC#2 の TCC から pMOS に L レベル信号を T_w 間印加し始める。最初に M_{ps1} のみがオンになり、検査対象信号線 S_1 が検査される。 T_w 間のパルス数は IC#2 の CNTC によってカウントされ、COC から出力される。その後、 M_{ps2} をオンするために、 C_{a2} に L レベル信号が TCC から出力され、検査対象信号線 S_{22} の検査が開始される。カウントされたパルス数が COC から読み取られた後、次の検査対象信号線の検査が開始される。IC#2 のすべての検査対象信号線が検査された後、 $\overline{T_{m2}}$ に H レベル信号および $\overline{T_{m3}}$ に L レベル信号をそれぞれ印加し、IC#3 の検査を開始する。

一般に IC 実装基板では図 3.5 の被検査回路 CUT#1 のように 1 つの IC から複数個の IC に信号線が繋がっている。例えば、図 3.5 の信号線 S_2 は IC#1 から IC#2 と IC#3 に配線されている。このような場合、IC#2 と IC#3 の $\overline{T_m}$ 信号をともに L レベル信号とし、 S_2 につながる IC#1 の出力バッファゲートから IC#2 と IC#3 内の RO_{sc} に同時に電流が流れた場合、それらが個別に流れた場合に比べその電流が少なくなり、検査対象信号線 S_2 が正常であったとしても N_p が小さくなる。それにより、被検査回路内の IC 内の RO_{sc} に電流を流して検査した場合に比べ $N_{P_{nmin}}$ が小さくなり、検出できる抵抗断線の抵抗値が大きくなる。そこで、本検査法では被検査回路内のどれか 1 個の IC のみの $\overline{T_m}$ を L レベル信号とし、一時刻に 1 個の IC の信号線を検査する。

図 3.5 の S_2 の場合、IC#2 に繋がる信号線 S_{22} の検査時には $\overline{T_{m2}}$ に L レベル信号、 $\overline{T_{m3}}$ に H レベル信号をそれぞれ印加し、IC#3 に繋がる信号線 S_{23} の検査時には $\overline{T_{m2}}$ に H レベル信号、 $\overline{T_{m3}}$ に L レベル信号をそれぞれ印加して検査する。両方の検査で正常と判断された場合のみ、信号線 S_{21} 、 S_{22} および S_{23} で欠陥は発生していないと

本検査法では判定する。IC#2 検査時に欠陥、IC#3 検査時に正常と判定されれば信号線 S_{22} に欠陥が発生していると判定することができ、逆に IC#2 検査時に正常、IC#3 検査時に欠陥と判定されれば信号線 S_{23} に欠陥が発生していると判定することができる。また S_{22} 、 S_{23} の両方の検査時に欠陥と判定された場合は、信号線 S_{21} に欠陥が発生していると判定することができる。このように複数の IC に信号線が分岐している場合は欠陥が発生している箇所を特定することが可能である。しかし分岐信号線のない S_1 のような信号線の検査においては出力側の IC、入力側の IC のどちらの信号線に欠陥が発生しているか特定することはできない。

本検査法では各信号線の欠陥はそれが繋がる IC の入力信号線の欠陥として検出する。図 3.7 に本検査法による検査を可能にする検査システム構成例を示す。出荷前検査ではバウンダリスキャンテスタを使用する。図 3.7 に示すように被検査回路の信号線に発生する欠陥を検出できるように IC#0 を実装した IC 実装基板 POTB を接続し IC#0 の信号線の欠陥として検出する。POTB は小規模回路なので十分検査することで正常回路であることを保証できるため、図 3.7 の検査システムで検査する。

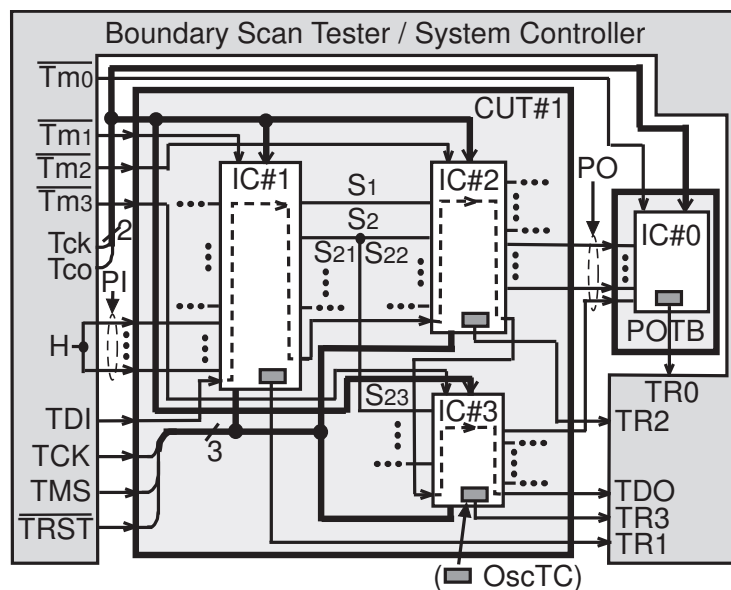


図 3.7 本手法で CUT#1 を検査するための検査システム

3.3.3.2 出荷後検査法

本検査法はバウンダリスキャンテスト回路を使っているため、バウンダリスキャンテスタをつながなくても、その IC 実装基板を組み込んだ電子機器内のシステムコントローラを使って検査することができる。そのため、その電子機器を市場に出荷

後でもその電子機器からその IC 実装基板を取り外さず検査が可能である。市場への出荷後に起動時だけでなく待機状態で検査することで、抵抗断線が容量断線や完全断線に成長する前に検出することで実装基板の高信頼化が期待できる。そこで本研究では電子製品を市場への出荷後検査を行う検査法を開発した。

出荷前検査で式 (3.3) を満たし良品と判定された IC 実装基板を市場で経年変化で発生した欠陥出荷後検査で検出する。出荷前検査では容量断線および完全断線は N_P がゼロとなるため、市場に出荷されない。それに対し、出荷前検査で式 (3.3) を満足する抵抗断線を含んだ IC 実装基板は市場に出荷される。抵抗断線は 3.2 で述べたように市場に出荷後、その抵抗値が増加したり容量性または完全断線に変化する。電子機器の高信頼性を確保するために出荷した IC 実装基板の信号線を検査する必要がある。

出荷後に抵抗断線が容量断線または完全断線に変化した場合は、出荷後に検査すると N_P がゼロとなり確実に検出できる。それに対し、出荷後に抵抗断線の抵抗値が増大した場合、出荷前検査の場合と同様に式 (3.3) で検出すると、大きな抵抗値に変化するまで検出できない。抵抗断線の抵抗値は 3.2 で述べたように急激に増大するため、できるだけ抵抗値が急激に増大する前にその抵抗増を検出する必要がある。

そこで本研究では、各 IC 実装基板の信号線の出荷前検査時の N_P を検査装置に記憶しておき、出荷後検査時に測定した N_P と比較し、式 (3.5) を満たせば抵抗断線が成長したと判定する。

$$N_{Pf}(i) < N_{Pcp}(i) \quad (3.5)$$

ここで $N_{Pcp}(i)$ は i 番目の信号線の出荷前検査時の N_P を、 $N_{Pf}(i)$ はその配線の出荷後検査時の N_P である。

IC 実装基板内の IC とプリント配線板間の信号線数は非常に多く、それらすべてに対してに対して式 (3.5) の $N_{Pcp}(i)$ を検査装置内に記憶することは現実的でない。抵抗断線は 3.2 で述べたように信号伝搬時に信号遅延が発生する。抵抗断線の抵抗値が大きくなるとその信号遅延が増大する。信号遅延により生じた論理異常で必ずしも電子機器が誤動作を起こすわけではないので、出荷後検査ではそれを生じる可能性のある信号線に対して、式 (3.5) の $N_{Pcp}(i)$ を検査装置に記憶し検査する。抵抗断線の抵抗値増大による論理値異常で電子機器の誤動作を生じる信号線は多くないので、この出荷後検査法で出荷後検査を行う。

3.3.3.1 で述べたように、本検査法ではその抵抗性断線欠陥を発生した信号線も特定でき、今後の高信頼化を実現のため設計や実装法の改善にもつながることが期待できる。

3.4 シミュレーションによる検査能力評価

本研究では 3.3.2 で述べた弛張発振器を用いた電気検査法で 3.2 で述べた抵抗断線および容量断線、完全断線を検出できるか Spice シミュレーションにより調査した。検査対象信号線と検査回路の距離による配線抵抗の差は製造ばらつきによる影響よりも非常に小さいと考えられるため、検査対象信号線を 1 本だけ用意し、その信号線に対し欠陥を挿入した。その調査は TSMC0.18 μm CMOS プロセスの MOS を用いて IC レイアウトの設計を行い実施した。

図 3.8(a) に TSMC0.18 μm CMOS プロセス MOS および ARM 社のライブラリを使用して設計した 2 つの IC IC#4, IC#5 の回路図を示す。IC#4 は出力側の IC であり、ARM 社のライブラリにある論理信号出力回路の PDDW0204CDG という回路モジュールを使用した。この PDDW0204CDG にはスリーステートバッファゲートと出力保護回路が組み込まれており、バウンダリスキャンセルの代わりに H レベル信号を出力させることが可能である。IC#5 は入力側の IC であり、こちらは ARM 社のライブラリにある入力保護回路の PVDD2ANA という回路モジュールを使用した。

この PVDD2ANA は ARM 社独自のものとなっており、そのレイアウトはブラックボックスのため変更を加えることができない。そこで図 3.8(a) に示すように IC#5 の PVDD2ANA とコア回路として模擬したバッファ回路との間に pMOS スイッチ M_a を組み込んだ。そのサイズは $W/L=70\mu\text{m}/0.3\mu\text{m}$ とした。またこの検証では検査対象信号線が 1 本だけであるため、pMOS スイッチ M_a を制御する TCC は組み込んでいない。そのため、pMOS スイッチ M_a を制御する信号 C_{a2} は、IC の外側から供給することとした。

図 3.8(b) に本研究で開発した ROsc と WSC の回路図を示す。また図 3.8(c) にそれらのレイアウトを示す。このレイアウトの作成は手作業で行っている。表 3.1 にこのレイアウトを構成する各 MOS サイズを示す。また ROsc のコンデンサ C_1 は pMOS キャパシタで作成し、その W/L は $100\mu\text{m}/20\mu\text{m}$ とした。抵抗 R_1 は 100Ω とし、シート抵抗で作成した。それら素子を配置した最終的な ROsc と WSC のサイズは $98\mu\text{m}\times 123\mu\text{m}$ となった。

表 3.1 ROsc と WSC の MOS サイズ一覧

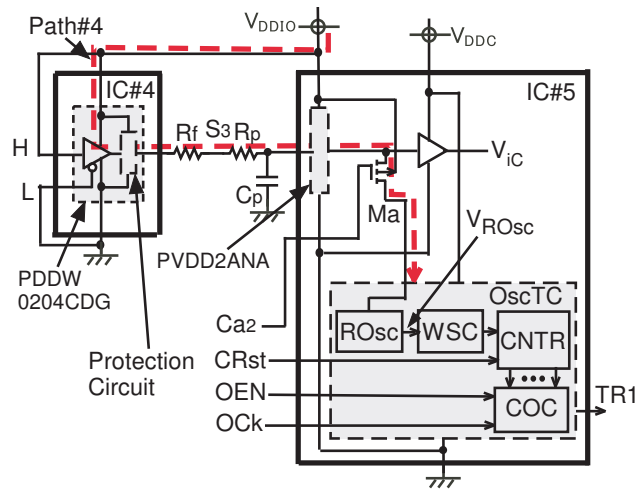
pMOS	W/L[μm]	nMOS	W/L[μm]
M _{p1}	50/0.30	M _{n1}	50/0.35
M _{p2}	60/0.30	M _{n2}	10/0.35
M _{p3}	15/0.30	M _{n3}	15/0.35
M _{p5}	25/0.30	M _{n4}	10/0.35
M _{p6}	25/0.30	M _{n5}	10/0.35
		M _{n6}	10/0.35

図 3.8(b) に示すように、WSC は 2 段のカレントミラー回路と 2 段のインバータ回路で構成している。これにより、ROsc の発振波形は矩形波に整形され、その矩形波をカウンタ回路 CNTC でカウントする。このカウンタ回路 CNTC としてバイナリ非同期カウンタ、またそのカウント値を読み出すための回路 COC として 14 ビット長のパラレルシリアル変換器の設計を行った。これらのレイアウトは Synopsys 社の Design Compiler を使用して合成し、そのサイズはサイズは $81\mu\text{m} \times 82\mu\text{m}$ である。

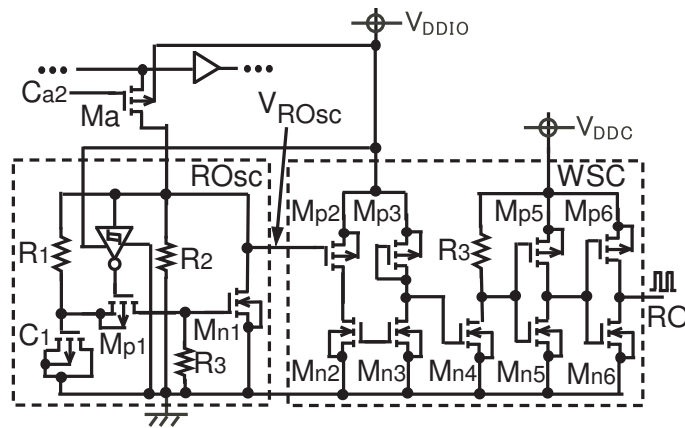
図 3.8(a) に示すように、CNTC はリセット信号 CR_{st} で制御する。CNTC でカウントする際は CR_{st} に H レベル信号を印加する。CR_{st} として L レベル信号を印加すると、そのカウント値はゼロとして初期化される。CNTC のカウント値は COC のイネーブル信号 OEN に L レベル信号を印加することでクロック信号 OC_k と同期する形で TR1 から出力され、カウント値をシリアルに読み出せるようにした。

図 3.8(a) に示す CUT を用いて出荷前および出荷後検査で検査対象配線 S₃ に模擬した欠陥を検出できるか検証した。図 3.8(a) に示した CUT を Cadence 社の Virtuoso を用いて Spice ネットリストをコーディングし、そのコード化したネットリストの S₃ に対し、 $10\text{m}\Omega$ の寄生抵抗 R_p と 10pF の寄生コンデンサ C_p をそれぞれ挿入した。また CUT の電源である V_{DDIO} に 3.3V、V_{DDC} に 1.8V をそれぞれ供給し、同社の Spectre を用いて Spice シミュレーションを行った。

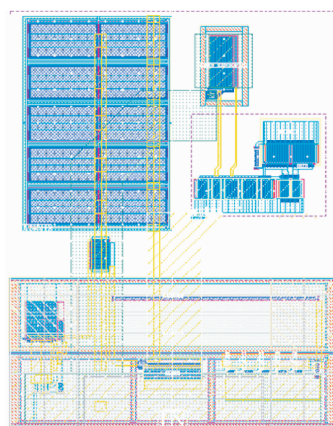
図 3.9 にその検証で印加する入力信号を示す。図 3.9 に示すように C_{a2} に $1\mu\text{sec}$ 間 L レベル信号を印加し、IC#5 の pMOS スイッチ M_a をオンする。この期間 ROsc は発振し、その発振回数を CNTC でカウントする。C_{a2} に H レベル信号を印加し、ROsc の発振を止めた後、OEN に H レベル信号、OC_k にクロック信号をそれぞれ印加し



(a) CUT



(b) ROsc と WSC の回路図



(c) ROsc と WSC のレイアウト

図 3.8 解析用の CUT

てカウント値を読み出した。

検査対象信号線が正常な場合のカウント値 $N_{Pn}(i)$ を調べるため、図 3.8(a) 中の S_3 の R_f は 0Ω とした。また $ROsc$ の発振周波数は温度に依存する可能性があるため、環境温度 Tmp は $27^\circ C$ として Spice シミュレーションを実施した。

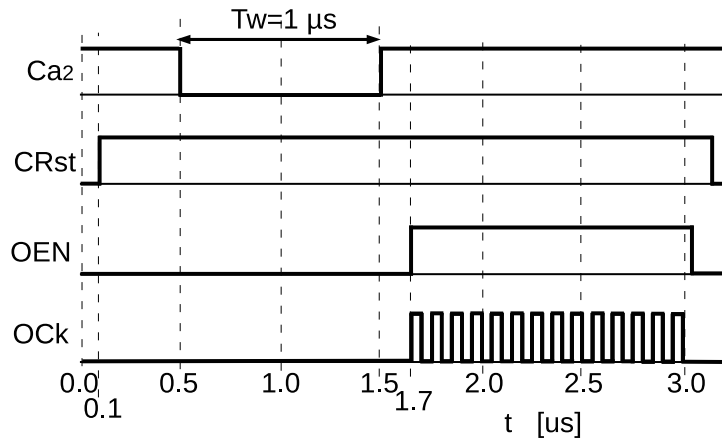


図 3.9 シミュレーションの入力信号

図 3.10 にそのシミュレーション結果を示す。図 3.10 に示すように $ROsc$ の発振周期は $4.975nsec$ である。このときのカウント値は 201 回であり、図 3.8(a) における $N_{Pn}(i)$ は 201 回となる。検査対象配線 S_3 に欠陥が発生し、これを下回るカウント値が読み取られた場合、本検査法では欠陥が発生していると判断する。

3.4.1 完全断線の検出能力評価

3.2 で述べたように完全断線が発生した場合、論理信号を伝搬できない IC 実装基板が動作できず、電子機器の誤動作を招く可能性がある。そこで本研究では、完全断線の検出が可能であるか検証を行った。完全断線を模擬するために図 3.8(a) 中の S_3 の R_f に $1G\Omega$ の抵抗を挿入して Spice シミュレーションを実行した。

図 3.11 にそのシミュレーション結果を示す。図 3.11 に示すように pMOS スイッチ M_a のオン/オフの際に V_{ROsc} に微小な電圧変動は見られるものの発振は確認できない。そのため、このときのカウント値 $N_{Pc}(i)$ はゼロとなる。検査対象信号線に欠陥がない場合のカウント値 $N_{Pn}(i)$ は 201 回であり、非常に大きな変化が現れている。したがって、完全断線は本電気検査法で検出できる。

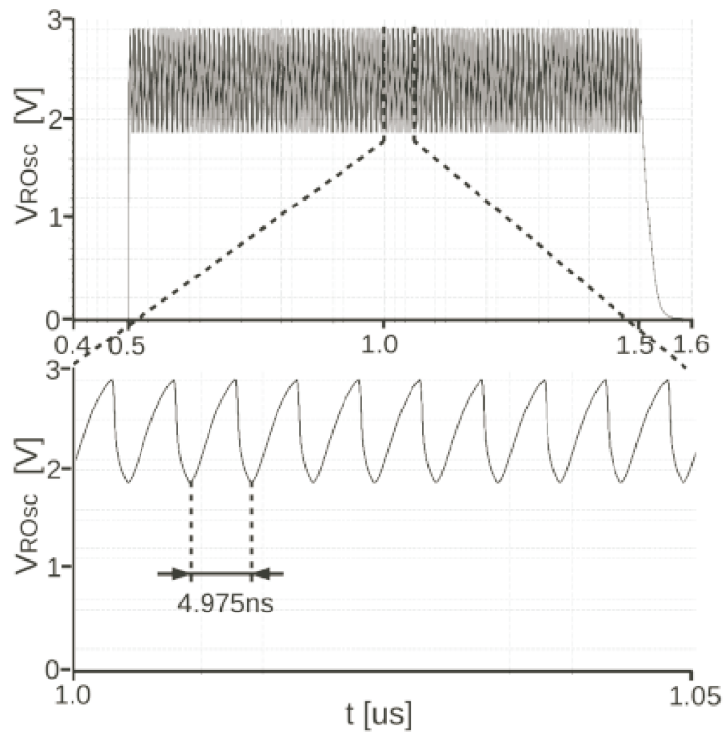


図 3.10 正常時のシミュレーション結果

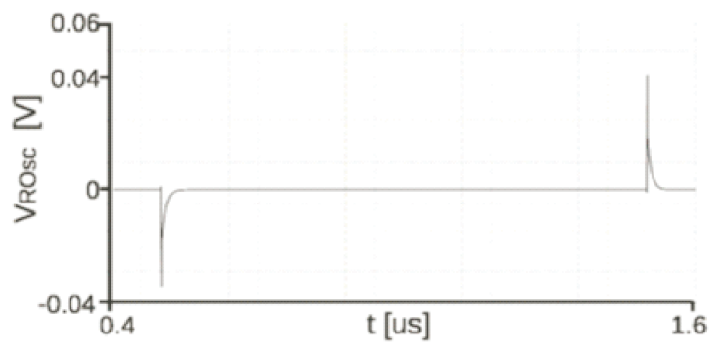


図 3.11 完全断線時のシミュレーション結果

3.4.2 容量断線の検出能力評価

3.2で述べたように容量断線が発生した場合、高速な論理信号を伝搬できない間欠故障が現れる可能性があり、IC実装基板の高信頼性の低下を招く可能性がある。そこで本研究では、容量断線の検出が可能であるか検証を行った。容量断線を模擬するために図3.8(a)中の S_3 の抵抗 R_f の代わりに4pFのコンデンサ C_f を挿入してSpiceシミュレーションを実行した。

図3.12にそのシミュレーション結果を示す。図3.12に示すようにpMOSスイッチ

M_a をオンした際に RO_{sc} の C_1 が充電されていることが確認できる。しかし、 S_3 に挿入した $4pF$ のコンデンサ C_f が充電されると C_1 には電流が流れ込まなくなり、発振動作は開始されない。そのため、このときのカウント値 $N_{Pc}(i)$ はゼロとなる。 S_3 に発生した容量断線のコンデンサの容量が大きい場合も同様で、そのコンデンサが充電されると RO_{sc} の発振動作は止まる。そのため、検査開始時に RO_{sc} が発振したとしてもそのカウント値は検査対象信号線に欠陥がない場合のカウント値 $N_{Pn}(i)$ の 201 回よりも少なくなる。したがって、容量断線は本電気検査法で検出できる。

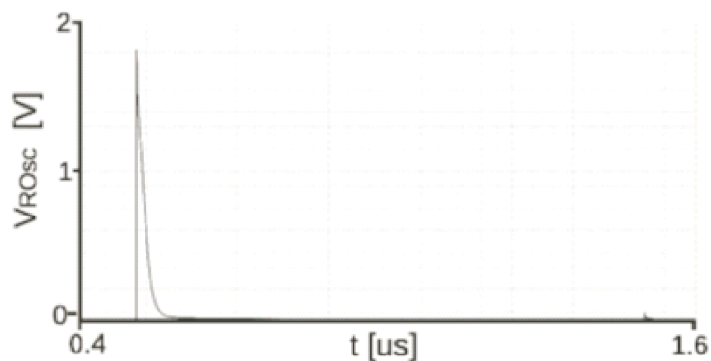


図 3.12 $4pF$ の容量断線時のシミュレーション結果

3.4.3 抵抗断線の検出能力評価

3.2 で述べたように抵抗断線が生じた場合、論理信号の伝搬遅延を引き起こす可能性がある。その伝搬遅延の大きさによっては IC 実装基板が正常動作せず、電子機器の誤動作を招く可能性がある。そこで本研究では、抵抗断線の検出が可能であるか調査した。抵抗断線を模擬するために図 3.8(a) 中の S_3 の R_f に 1.2Ω の抵抗を挿入して Spice シミュレーションを実行した。

図 3.13 にそのシミュレーション結果を示す。図 3.13 に示すように RO_{sc} の発振周期は $36psec$ 増加した。このときのカウント値 $N_{Pc}(i)$ は 200 回であり、検査対象信号線に欠陥がない場合のカウント値 $N_{Pn}(i)$ は 201 回よりも減少している。したがって、抵抗断線は本電気検査法で検出できる。

3.2 で述べたようにはんだボール中に発生した欠陥はエレクトロマイグレーションまたはストレスマイグレーションによって成長する。そのため、高い信頼性を確保するためには出荷時の IC 実装基板に含まれる抵抗断線の抵抗値ができるだけ小さいのが望ましい。しかし IC の製造過程で製造ばらつきが発生し、この製造ばらつきによって正常基板の RO_{sc} の発振周波数が変わってしまう場合がある。そのため、正

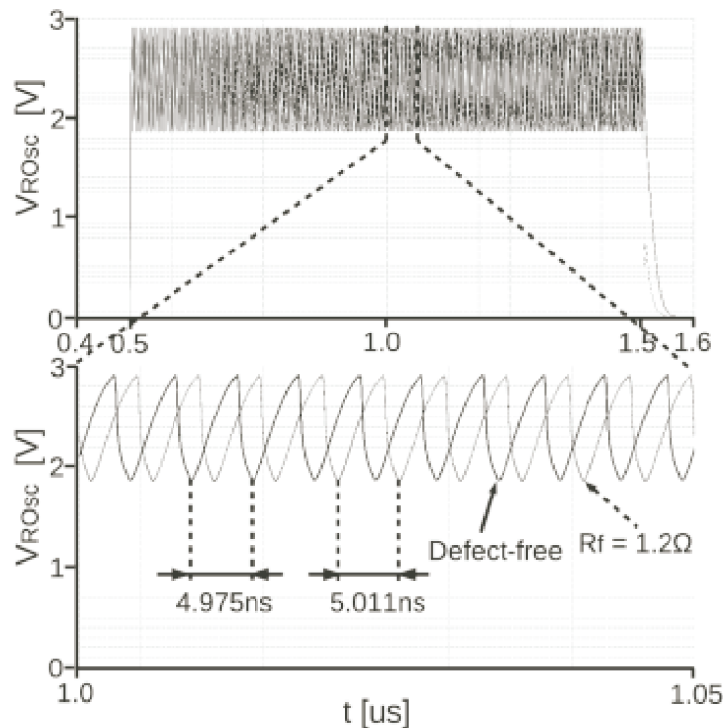


図 3.13 1.2Ω の抵抗断線時のシミュレーション結果

常時のカウント値は IC の製造時期によっても変動する可能性がある。容量断線および完全断線であれば ROsc は発振しないため、この製造ばらつきの影響を受けずに検出することが可能である。しかし抵抗断線の場合、この影響を受け検出可能な抵抗値が変化する。そこで、抵抗断線について TSMC0.18 μ mCMOS プロセスの標準 (T), 低速 (S), または高速 (F) の MOS モデルを用いたコーナー解析 [35] を行った。

図 3.8(a) に示す IC#4, IC#5 に対して各 MOS モデルを組み合わせ、図 3.8(a) 中の S_3 の R_f に 0.1Ω から 50Ω まで 0.1Ω 刻みで抵抗を挿入し、Spice シミュレーションを実行した。その各 MOS モデルでのカウント値の変化を確認した。

表 3.2 にその各 MOS モデルの組み合わせでのカウント値を示す。 $R_f=0.0\Omega$ の結果を見ると、MOS モデルの組み合わせが (nMOS, pMOS)=(F, F) の場合が最大カウント値 N_{Pnmax} で 217 回であり、(nMOS, pMOS)=(S, S) の場合が最小カウント値 N_{Pnmin} で 169 回である。これは $N_{Pn}(i)$ が IC の製造ばらつきによって変わることを示している。

IC 実装基板で使用される IC がどのような製造ばらつきを受けているかを見極めることは不可能である。したがって、3.3.3.1 で述べたように出荷前検査法では式 (3.4)

がすべての製造ばらつきに対して満たされている場合にのみ、抵抗断線があると判定することになる。例えば、(nMOS, pMOS)=(F, F) の場合では S_3 の R_f に 45.7Ω の抵抗断線が発生した場合のカウント値 $N_{Pc}(i)$ は 169 回であった。 N_{Pnmin} が 169 回であるため、式 (3.4) を満たしておらず、 S_3 に抵抗断線があるとは判定できない。一方、 R_f に 45.8Ω の抵抗断線が発生した場合のカウント値は、すべての MOS モデルの組み合わせにおいて式 (3.4) を満たしており、製造ばらつきが発生していたとしても抵抗断線は検出できる。したがって、表 3.2 から 45.8Ω 以上の抵抗断線であれば、出荷前検査法で検出できることが分かる。

表 3.2: プロセスばらつき検証結果

$R_f[\Omega]$	コーナーモデル (nMOS, pMOS)				
	(T, T)	(S, S)	(F, F)	(S, F)	(F, S)
0.0	201	169	217	204	198
0.1	201	169	217	204	197
0.3	201	169	217	204	197
0.4	201	169	216	204	197
0.5	200	169	216	204	197
0.6	200	168	216	204	197
1.1	200	167	216	204	197
1.2	200	167	216	203	197
2.0	200	171	215	203	196
10.0	194	172	205	197	190
35.5	173	160	178	175	170
35.6	172	160	178	175	169
36.9	171	159	177	174	169
37.0	171	159	177	174	168
39.2	170	158	175	172	167
39.3	169	158	175	172	167
40.0	169	157	174	172	166
40.4	169	157	174	171	166

表は次ページに続く。

前ページからの続き.

$R_f[\Omega]$	コーナーモデル (nMOS, pMOS)				
	(T, T)	(S, S)	(F, F)	(S, F)	(F, S)
40.5	168	157	173	171	166
42.0	167	156	172	170	164
42.5	167	155	172	170	164
42.6	167	155	171	169	164
43.5	166	155	171	169	163
43.6	166	155	170	169	163
43.7	166	155	170	169	163
43.8	166	155	170	168	163
44.6	165	154	170	168	162
44.7	165	154	169	168	162
45.0	165	154	169	167	162
45.7	164	154	169	167	162
45.8	164	153	168	167	162
46.0	164	153	168	167	161
50.0	161	151	164	163	158

図 3.14 に (nMOS, pMOS)=(T, T) の MOS モデル下で 45.8Ω の抵抗断線が発生した場合の信号遅延を示す. 図 3.14 に示すように, 45.8Ω の抵抗断線により 108.1psec の信号遅延が発生している. そのため, 本電気検査法では 108.1psec の信号遅延を引き起こす抵抗断線を検出できることになる.

次に 3.3.3.2 で述べた出荷後検査法での抵抗断線の検出可能性について, 表 3.2 を用いて述べる. 出荷前検査で式 (3.4) により良品と判定され, 市場に出荷した IC 実装基板は出荷後検査で検査する. この出荷後検査法では式 (3.5) を満たした場合, その IC 実装基板を不良と判定する. 図 3.8(a) の CUT では 45.8Ω 未満の抵抗断線が製造ばらつきにより, 出荷した IC 実装基板に含まれる可能性がある. 例えば, (nMOS, pMOS)=(F, F) の製造ばらつき下において 40.5Ω の抵抗断線が発生した場合, 出荷

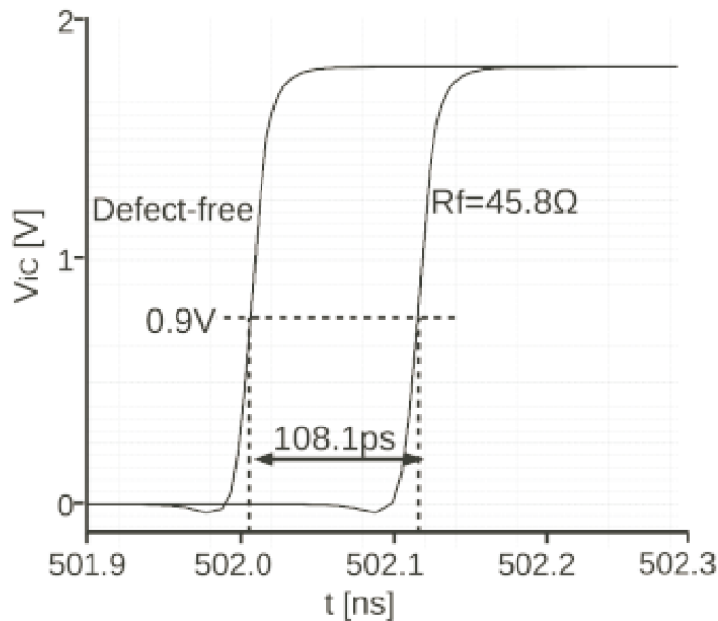


図 3.14 45.8Ω の抵抗断線時の信号遅延

前検査では式 (3.4) を満たすため検出できない。そのため、この実装基板は良品として市場に出荷される。3.2 で述べたように抵抗断線は出荷後に容量断線または完全断線に変わる可能性がある。この場合、 $N_{Pf}(i)$ はゼロとして測定されるため、IC の製造ばらつきとは無関係に式 (3.5) による出荷後検査で検出できる。

3.2 で述べたように出荷した IC 実装基板に含まれる抵抗断線の抵抗値は市場で増加する可能性がある。例えば、(nMOS, pMOS)=(T, T) の製造ばらつき下であれば、出荷前検査の時点で抵抗断線の抵抗値が 39.3Ω の場合、 $N_{Pcp}(i)$ は 169 回と測定されるため、これは N_{Pnmin} と同じであり、その IC 実装基板は良品として出荷される。その IC 実装基板に含まれる抵抗断線の抵抗値が市場で 1.2Ω 増加し、 40.5Ω になると $N_{Pf}(i)$ は 168 回と測定され、 N_{Pcp} を下回る。これは式 (3.5) を満たすため、その IC 実装基板の信号線に欠陥があると判定される。このことはこの製造ばらつき下であれば出荷後検査において 1.2Ω の抵抗増加が検出できることを意味している。

(nMOS, pMOS)=(F, F) の製造ばらつき下であれば、市場で抵抗断線の抵抗値が 44.7Ω から 45.8Ω に増加すると $N_{Pf}(i)$ が 168 回と測定され、式 (3.5) を満たす。したがって、この製造ばらつき下では出荷後検査において 1.1Ω の抵抗増加を検出できる。

他の MOS モデルの組み合わせの場合も同様に、(nMOS, pMOS)=(S, S) の製造ばらつき下であれば 0.0Ω から 0.6Ω に、(nMOS, pMOS)=(S, F) の製造ばらつき下で

あれば、 42.6Ω から 43.8Ω に、 $(nMOS, pMOS)=(F, S)$ の製造ばらつき下であれば 35.6Ω から 37.0Ω に抵抗値が増加した場合に式 (3.4) を満たす。したがって、 $(nMOS, pMOS)=(S, S)$ の製造ばらつき下では 0.6Ω 、 $(nMOS, pMOS)=(S, F)$ の製造ばらつき下では 1.2Ω 、 $(nMOS, pMOS)=(F, S)$ の製造ばらつき下では 1.4Ω の抵抗増加を出荷後検査で検出できる。

ここまで述べてきたように、出荷後検査で検出できる抵抗値の増加は IC の製造ばらつきの影響を受ける。出荷した IC 実装基板に使用される IC がどのような製造ばらつきを受けているかは出荷後検査では判断できない。しかし市場に出荷した後に抵抗断線の抵抗値が 1.4Ω 以上増加すれば、どの製造ばらつきであったとしても式 (3.5) により検出できる。

3.2 で述べたように論理信号の大きな伝搬遅延は、市場に出荷した後の抵抗断線が成長することによって引き起こされる可能性がある。出荷時の IC 実装基板の性能が抵抗断線の微小な成長で低下しなくても、長期間の使用により抵抗値が急激に大きくなる可能性があるため、出来るだけ小さな変化を市場で検出する必要がある [6]。そのため、出荷後検査ではその抵抗断線の成長の兆候を検出するには、より小さな抵抗値の変化を感知することが不可欠である。特にクリティカルパス上の抵抗断線は論理異常を引き起こす可能性がある。そこで、クリティカルパスに対する出荷後検査の結果は、テストに $N_{Pcp}(i)$ として保存する。そして、その抵抗値の増加を式 (3.5) を用いて出荷後検査法で検出する。

クリティカルパス上に発生した抵抗断線の検出能力は、出荷した IC 実装基板の IC の製造ばらつきの影響を受ける。例えば、図 3.8(a) 中の S_3 がクリティカルパスとした場合、 $(nMOS, pMOS)=(T, T)$ の製造ばらつき下で 39.3Ω の抵抗断線が発生していれば、出荷した IC 実装基板内の S_3 の $N_{Pcp}(i)$ は 169 回として保存され、この IC 実装基板は市場に出荷される。市場でその抵抗断線の抵抗値が 1.2Ω 増加し、 40.5Ω となると $N_{Pf}(i)$ は 168 回と測定され、式 (3.5) によって検出できる。出荷した IC 実装基板に含まれる抵抗断線の抵抗値が 40.4Ω であれば、 0.1Ω の抵抗増加が式 (3.5) によって検出できる。 $(nMOS, pMOS)=(F, F)$ の製造ばらつき下であれば、市場に出荷後に抵抗断線の抵抗値が 42.6Ω から 43.6Ω へ増加すると、 $N_{Pcp}(i)$ が 171 回であるのに対して $N_{Pf}(i)$ が 170 回となるため、式 (3.5) によって検出できる。これは $(nMOS, pMOS)=(T, T)$ の製造ばらつき下における 39.3Ω から 40.5Ω への抵抗増加

による N_P の変化とは異なる。

図 3.8(a) 中の S_3 に抵抗断線が発生していない場合、(nMOS, pMOS)=(T, T) の製造ばらつき下であれば 0.0Ω から 0.5Ω に抵抗値が増加すると、表 3.2 に示すように測定された N_P は 201 回から 200 回に変化する。同様に (nMOS, pMOS)=(S, S), (F, F), (S, F) および (F, S) の製造ばらつき下であれば、抵抗がそれぞれ 0.6Ω , 0.4Ω , 1.2Ω および 0.1Ω 増加すると、式 (3.5) が満たされる。したがって、クリティカルパスである S_3 に抵抗断線が発生していない場合、製造ばらつきを考慮しても最悪でも出荷後検査において 1.2Ω の抵抗値増を本出荷後検査法では検出できる。

3.5 試作 IC を用いた検査能力調査

3.4 ではレイアウト設計を行い、その検査能力について Spice シミュレーションを用いて評価を行った。そのレイアウトが実機においても同様に検査能力があるか調査する必要がある。そこでその検査能力調査を行うために TSMC0.18 μ m CMOS プロセスおよび ARM 社のライブラリを使用してプロトタイプの IC を試作した。

図 3.15 にその設計した IC IC#6 を示す。この IC は 3.4 と同様に ARM 社のライブラリにある論理信号出力回路の PDDW0204CDG と入力保護回路の PVDD2ANA を使用している。また検査を行うのに必要な pMOS スイッチ M_a および $O_{sc}TC$ についても 3.4 節で Spice シミュレーションを行ったレイアウトと同じものを使用した。IC のコア回路は図 3.15 に示すようにバッファ回路であり、これは 16 段のインバータチェーン回路で新たに設計した。

図 3.16 にその試作したプロトタイプの IC をプリント配線板に実装した IC 実装基板を示す。図 3.16 に示すようにこのプロトタイプの IC は BGA IC ではなく、QFP IC である。3.2 で述べたように QFP IC とプリント配線板間の信号線に発生した欠陥は、BGA IC とプリント配線板間の信号線に発生した欠陥によって引き起こされる電氣的動作と同じである。QFP IC であればプリント配線板に欠陥なくはんだ付けされているかどうか簡単に確認することができる。そのため、QFP IC をプロトタイプの IC として作成し、実験回路を作製した。このプロトタイプの QFP IC は 0.04 インチピッチであり、手はんだ付けで図 3.15 に示した実験回路を PCB#1, PCB#2, PCB#3, PCB#4 の 4 個作製した。

図 3.15 中の検査対象信号線 S_4 と S_5 はスイッチ S_{w1} をそれぞれ 2 側と 1 側に接続することで検査することができる。この検査を行うための検査入力信号はパターン

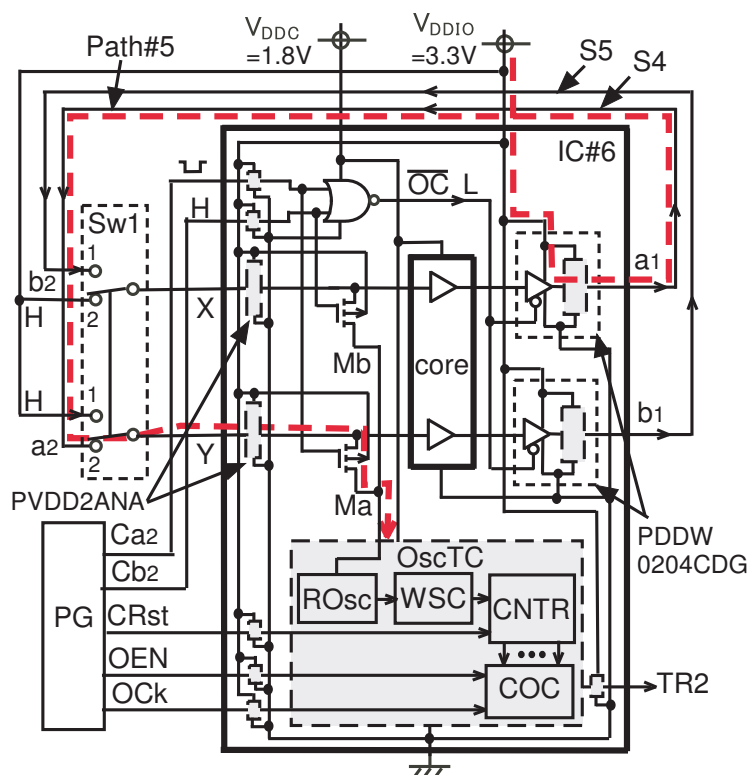


図 3.15 実験回路

ジェネレータ PG で印加した。

図 3.17 に図 3.15 の S_4 を検査する場合の検査回路を示す。 S_4 を検査する場合は C_{b2} に H レベル信号を印加するとともに図 3.9 と同じ検査入力信号を印加する。これらの信号によって図 3.17 の電流経路 Path#5 沿って電源電流が流れ、ROsc が発振を開始する。この ROsc の発振回数を CNTC でカウントし、TR2 端子から読み取る。同様に、 S_5 を検査する場合は C_{a2} に H レベル信号を印加し、図 3.9 の入力信号および C_{b2} に $1\mu\text{sec}$ 間の L レベル信号を印加することにより検査する。

図 3.15 の S_4 と S_5 の R_f にそれぞれ 10Ω 、 33Ω 、 51Ω の抵抗を挿入し、4 個の PCB に対して N_P の測定を行った。このときの温度は 20°C である。

表 3.3 にその測定した N_P の結果を示す。表 3.3 に示すように R_f が 0Ω の結果から、4 つの PCB 間で $N_{Pn}(i)$ は 199 回から 204 回の範囲で変化していることが分かる。これは 3.4 での Spice シミュレーションによって導出された $169 \leq N_{Pn}(i) \leq 217$ の範囲内である。しかしこの結果は Spice シミュレーションで検証した IC の製造ばらつきよりも小さい。今回測定を行った IC は同一ロットの IC を使用した。そのため、製造ばらつきのワースト条件を用いて導出するコーナー解析で得られた $N_{Pn}(i)$ の範囲

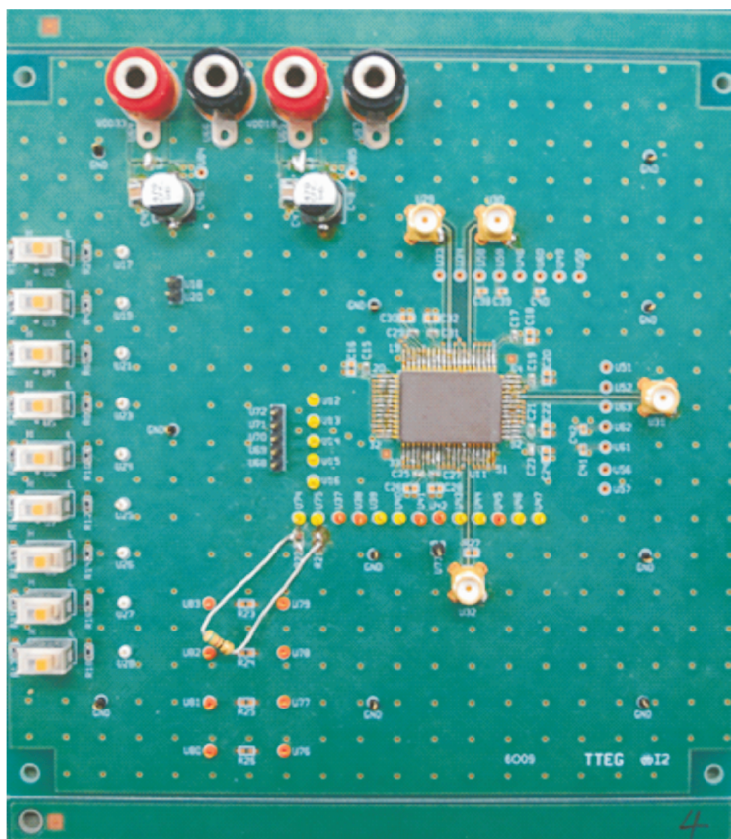
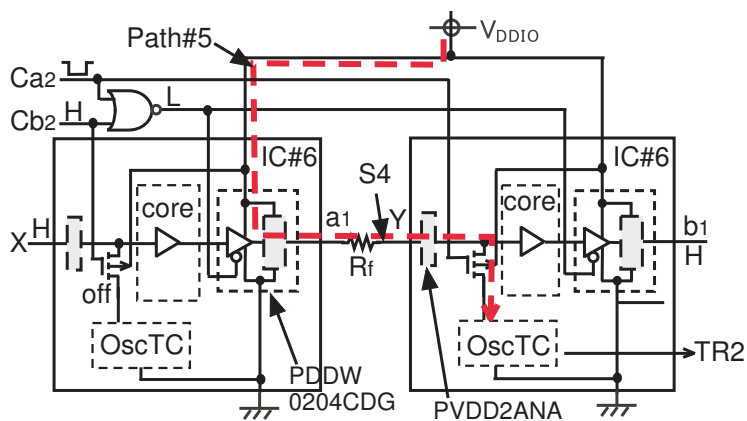


図 3.16 組み立てた PCB

図 3.17 S_4 の検査回路

よりも小さいと思われる。

表 3.3 から $N_{P_{\min}}$ は 199 回である。10Ω の抵抗断線を模擬した場合には、すべての PCB の S_4 , S_5 において $N_{P_{\min}}$ の 199 回よりも小さい $N_{P_c(i)}$ となっており、10Ω 以上の抵抗断線を本電気検査法で検出することができる。この検出した抵抗断線の抵抗は、3.4 節での Spice シミュレーション結果よりも小さい。このことは、同一ロツ

表 3.3 図 3.15 の抵抗断線に対する N_P

$R_f[\Omega]$	検査対象信号線 S_4				検査対象信号線 S_5			
	PCB	PCB	PCB	PCB	PCB	PCB	PCB	PCB
	#1	#2	#3	#4	#1	#2	#3	#4
0	203	201	199	203	204	204	201	204
10	192	191	191	194	198	197	193	195
33	174	171	169	174	174	171	169	170
51	154	151	154	155	159	155	154	155

ト内で N_{Pnmin} を設定することで製造ばらつきによる影響を抑えられる可能性を示している。

表 3.3 から IC 間の $N_{Pn}(i)$ のばらつき範囲は、検査対象信号線から $OscTC$ までの信号線の寄生抵抗によるばらつき範囲よりも大きいと推定することができる。表 3.3 の S_4 と S_5 の $N_{Pn}(i)$ は PCB#1, PCB#2, PCB#3, PCB#4 の間で、それぞれ 199 回から 203 回, 201 回から 204 回の範囲で変化しており、そのばらつき幅はそれぞれ 4 と 3 である。したがって、それらのばらつき範囲の差は 1 である。そのため、検査対象信号線から $OscTC$ までの信号線の寄生抵抗によるばらつき範囲は小さく、出荷前検査では抵抗断線を式 (3.3) ではなく式 (3.4) で検出することができる。

3.6 考察

本電気検査法は IC とプリント配線板間の信号線を検査するために $OscTC$ と TCC で構成する検査回路を IC に組込む必要がある。 $OscTC$ は $ROsc$ と WSC で構成している。3.4 で述べたようにこの $ROsc$ と WSC の回路サイズは小さい。 TCC は、 $\overline{T_m}$ と T_{ck} によって制御するシフトレジスタであり、 N_1 個の出力を持つシフトレジスタは N_1D タイプ FF で作製できる。 D タイプ FF は 11 個の NAND ゲートで構成しているため、 TCC は $11 \cdot N_1$ ゲートで構成できる。 $CNTC$ と COC の回路サイズは、 $CNTC$ でカウントするカウント数に比例する。この他に検査する IC の入力ピン毎に pMOS スイッチを追加する必要がある。しかし、これらの検査回路はコア回路のサイズに比べ、非常に小さい。したがって、検査回路のエリアオーバーヘッドは IC 設計者が許容できる範囲内であると思われる。

検査回路の TCC, CNTC, COC はデジタル回路であり, Synopsys 社の Design Compiler で自動合成できる. それに対し, ROsc と WSC だけがアナログ回路である. これらは IC の電源である V_{DDIO} に依存するため, 組み立てられた IC 実装基板内の IC の各供給電圧に対して手動で設計する必要がある. ただし, V_{DDIO} の電圧毎に標準セルとしてデザインライブラリに追加することで, 設計コストの増大を小さくすることができる. また, $\overline{T_m}$, T_{ck} , T_{co} , および TR 信号用に 4 つの入力信号線を各 IC に追加する必要がある. しかし, BGA IC の場合であれば, その配線数が非常に多いため, それによるオーバーヘッドはごくわずかである.

本電気検査法では検査する際に検査対象配線に H レベル信号を印加する必要がある. この H レベル信号は IEEE1149.1Std のバウンダリスキャンテスト回路を使用することで印加することができるため, 検査入力印加によるエリアオーバーヘッドは生じない.

IC とプリント配線板間の信号線は, 論理回路で作られたリング発振器で検査することができる. 図 3.18 にそのリング発振器を用いた検査回路を示す. 図 3.18 に示した検査回路は図 3.3 に示す TCC, CNTC, および COC で構成できる. 図 3.18 に示すようにそのリング発振器は, 3 状態バッファゲート, AND ゲート, NAND ゲート, および 2 個のインバータゲートで構成している. 図 3.18 の IC#1 と IC#2 間の検査対象信号線をリング発振器で検査する場合, IC#1 のバウンダリスキャン FF から H レベル信号を印加し, $\overline{T_{m2}}$ に L レベル信号を印加する. TCC からの出力信号によって, IC#2 の入力ピンに接続された 3 状態バッファゲートの 1 つだけが一度アクティブになる. C_{a1} が L レベル信号の場合, ループ Loop#1 のリング発振器が発振を開始する. このリング発振器の発振回数を CNTC でカウントし, S_1 に発生した抵抗断線は, そのカウント値で検出することができる. この検査の場合, リング発振器によって矩形波形が生成されるため, WSC を追加する必要はない. リング発振器を用いて N_I の検査対象信号線を検査するには, N_I 個の 3 状態バッファゲート, N_I 個の NAND ゲート, 1 個の N_I 入力の AND ゲート, および N_I+2 個のインバータゲートを IC#1 と IC#2 に埋め込んで, リング発振器を構成する必要がある. 3 状態バッファゲートと NAND ゲートは 4 個の MOS で構成する. N_I 入力の AND ゲートとインバータ 1 個は, それぞれ $2 \cdot N_I+3$ 個の MOS と 2 個の MOS で作れる. そのため, TCC, CNTC, および COC の MOS に加えて, IC#1 と IC#2 間の検査対象信号線

を検査するための検査回路を構築するには、 $12 \cdot N_I + 7$ 個の MOS を必要とする。

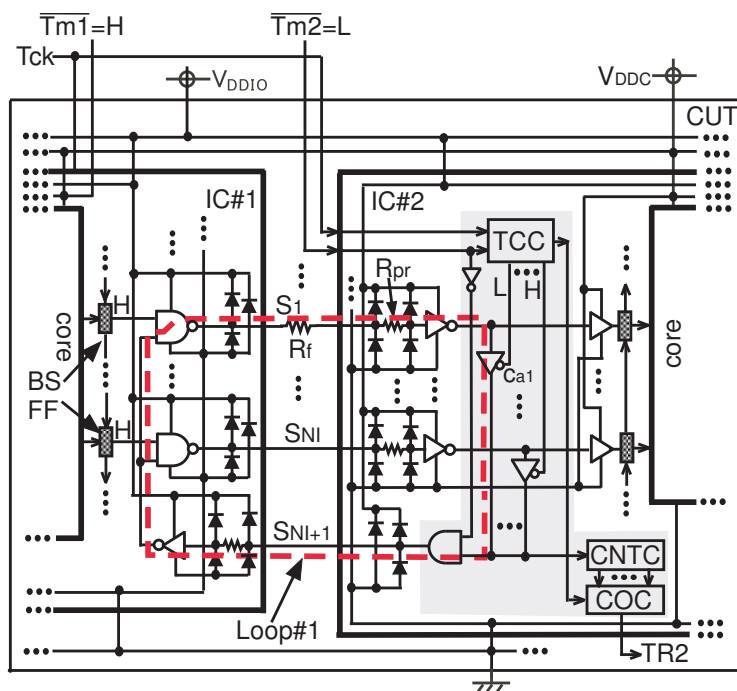


図 3.18 リング発振器を用いた検査回路

一方、図 3.3 の検査回路は、TCC、ROsc、WSC、CNTC、COC の他に N_I 個の pMOS と N_I 個のバッファゲートで構成している。ROsc と WSC は図 3.8(b) に示すように、12 個の MOS と 4 個の抵抗で構成している。そのため、TCC、CNTC、および COC に加えて、検査回路を $5 \cdot N_I + 18$ 個の MOS と 4 個の抵抗で構成できる。これは図 3.18 の検査回路の MOS の数の約半分である。MOS の数が少なくなると、製造ばらつきによる発振周波数への影響は小さくなる。したがって、ROsc を使用すると図 3.18 よりも小さな抵抗の抵抗断線を高精度で検出できると思われる。

リング発振器による検査回路は図 3.18 よりも少ないゲート数で構築できる可能性がある。ただし、検査するためには図 3.18 の IC#2 から IC#1 への追加の検査対象信号線を構築する必要がある。さらに、検査対象信号線で容量断線が発生すると、高速信号が容量断線を介して伝搬される可能性があるため、リング発振器が発振し始めるおそれがある。それに対し、本電気検査法では製造ばらつきに関係なく、容量断線を検出することができる。したがって、リング発振器による検査回路よりも、本検査回路が IC とプリント配線板間の信号線の欠陥の検出に効果的であると思われる。

NWO は容量断線または完全断線を断続的に引き起こす可能性がある。BGA IC

の場合、はんだボールとランド間は動作温度の変化によるプリント配線板の反りによってさらに分離する。はんだボールとランド間が分離されている場合、本電気検査法では発振が発生しないため、この場合、 $N_p = 0$ として検出される。同様に、プリント配線板の収縮によっても容量断線または完全断線が発生する可能性がある。それらによって引き起こされる欠陥についても本電気検査法で検出することができる。これらの欠陥については従来の検査法でも検出することが可能である。しかし、本電気検査法では従来の検査法では検出が困難であった 1.2Ω 以上の抵抗断線を検出できる。

一方、本電気検査法では OscTC は各 IC に組み込む必要があり、追加費用が発生する。したがって、本検査方法は信頼性の高いシステムで IC 実装基板を組み立てる際の検査に採用されると思われる。例えば自動車用の電子機器は、過酷な環境で長期的に機能する必要がある。特に、ECU(電子制御ユニット)の信頼性が重要であり、その信頼性を決定する要因の1つが、ICをプリント配線板にはんだ付けするはんだボールである [36]。したがって、ECU内の一部のICでは、IC内に内蔵テスト(BIST)回路を組み込み、市場での動作開始時および終了時に繰り返しテストをすることが求められている [37]。

4.5では4個のIC実装基板を作成し、出荷前検査法を使用して抵抗断線を検出できるかどうかを調査した。その結果はSpiceシミュレーションよりも小さな製造ばらつきであった。コーナー解析は製造ばらつきの最悪のケースが電気的特性に現れたとしても、期待どおりに機能するICを設計するために使用される。そのため、実際のICにはSpiceシミュレーションよりも小さな製造ばらつきが現れると考えることができる。したがって、実際に組み立てたIC実装基板は、Spiceシミュレーション結果から推定されたものよりも小さな抵抗の抵抗断線を検出できる可能性があると思われる。しかし、今回の実験で使用したIC実装基板の個数はそれを確認するには少なく、さらに多くの基板に対する実験が必要である。

図3.8(b)のWSCは、検査回路を組み込んだICを実装したIC実装基板が動作する際に静的電源電流が M_{p2} と M_{p3} を流れ続ける。そのため、電力を消費してしまう。したがって、このIC実装基板が動作時に静的電源電流が流れないように再設計する必要がある。これは容易に行える。

弛張発振器の発振周波数は、検査中の温度によって変化する可能性がある。Spice

シミュレーションでは27°Cに固定してその能力評価を行った。出荷前検査であれば指定した温度で検査を行うことができる。しかし、出荷後検査では検査時の温度を指定することができない場合がある。したがって、温度に関する本検査法の検出能力を調べる必要がある。これは商用の実装基板の検査可能性調査とともに、今後の課題である。

3.7 まとめ

本章では、ICとプリント配線板間の信号線に発生する欠陥を検出するための2種類の電気検査法と、その検査法を実現するための組み込み回路を提案した。その本電気検査法は、出荷前検査法と出荷後検査法であり、それぞれ市場へのお荷前と出荷後に実施する。これらは組み込んだ検査回路内の弛張発振器の発振周波数に基づいており、欠陥の検出は指定した時間内の発振回数で行う。出荷前検査ではICの製造ばらつきによるMOSの電気的特性のばらつきも考慮した発振回数をしきい値として用いる。そのしきい値以下の発振回数であれば、その検査対象信号線には欠陥が発生していると判定する。一方、出荷後検査では出荷前検査時の発振回数をしきい値として用いる。出荷後に抵抗断線の抵抗値が大きくなり、その発振回数が出荷前検査時の発振回数から減少していた場合にその検査対象信号線には欠陥が発生していると判定する。

本研究ではSpiceシミュレーションおよび、検査回路を組み込んだプロトタイプICで作成したIC実装基板での実験により、欠陥の検出可能性を示した。そのシミュレーション結果はICの製造ばらつきに関係なく、45.8Ω以上の抵抗断線を1μsec間の検査時間の発振回数を測定することで検出できることを確認した。さらに、容量断線および完全断線に対しても出荷前検査で検出することができた。また、シミュレーション結果から、出荷前検査時点で抵抗断線が発生していない信号線の場合、市場に出荷後にその信号線の抵抗が1.4Ω増加すると、出荷後検査で欠陥を検出できることを確認した。その実験結果は、プロトタイプのICの製造ばらつきがSpiceシミュレーションよりも小さく、出荷前検査では10Ω以上の抵抗断線を検出できると確認した。

Spiceシミュレーションおよび実験は室温で行い、その際の検出可能性を確認した。しかし、検査時の発振周波数は温度により変化する。出荷前検査であれば指定した温度で検査を行うことができる。それに対し、出荷後検査では検査時の温度を

指定することができない。そのため、今後の課題として市販の IC 実装基板の検出可能性の分析とともに、温度に対する信頼性を調べる事が挙げられる。またこの手法は 3次元積層 IC 内のダイ間信号線検査にも適用できる。その検査能力評価についても今後の課題である [38].

ただ、この電気検査法を用いることにより出荷前検査では完全断線、容量断線は確実に、抵抗断線においても数十 Ω レベルで検出が可能である。また出荷後検査ではより微小の抵抗断線を検出可能であり、IC 実装基板および 3次元積層 IC の高信頼化が期待できる。

第4章 3次元積層メモリ IC の TSV 冗長化による高信頼化法

4.1 はじめに

3次元積層 IC は2.3で述べたように、良品ダイ KGD(Known Good Dies) を積み上げ、そのダイ間をシリコン貫通電極 TSV (Through Silicon Via) とマイクロバンプで接続する。3次元積層 IC ではダイ間の距離は μm オーダと短いため、IC の小型化だけでなく、ダイ間の信号伝送が高速・低消費電力で行える。そのため3次元積層 IC の開発が積極的に行われている。ただダイ内の回路の動作時に発生する熱の放出が3次元積層 IC の普及の障害の一つとなっている。

それに対しメモリ回路においては一時刻に同時に動作する回路が限られ、発熱の問題が発生しないため、現在では176段の3次元積層メモリ IC が実現 [39] され、今後さらにその IC を用いた電子機器が多数作られることが予想される。そこで本研究では、3次元積層メモリ IC の高信頼化法を開発した。

2章で述べたように TSV 製造時、マイクロバンプによるダイ間接続時に発生した欠陥でダイ間に正しく論理信号が伝送できない場合がある。その IC は出荷できず、歩留まりが低下する。それによりその IC の価格上昇を引き起こす。それを防止するために冗長 TSV が用意され、欠陥発生時に冗長 TSV を使って信号伝送する方法が提案されている [40–43]。

文献 [40–43] では数多くの冗長 TSV と冗長マイクロバンプが用意された場合に歩留まりを向上させる方法が議論されている。しかし、現状では数万個のマイクロバンプでの接続では不良は数個のバンプに収まり、大量の冗長マイクロバンプを用意する必要がない。TSV の製造技術も年々向上しており、不良の発生が少なくなり、文献 [40–43] のように多くの冗長 TSV を用意する必要がなくなることが期待できる。そこで本研究では数少ない冗長 TSV ならびに冗長マイクロバンプによる歩留まり向上を可能とするダイ間信号線不良の救済法を開発した [44–46]。

ダイ間信号線を形成する TSV およびマイクロバンプのどちらに欠陥が発生したとしても信号の伝送ができない。欠陥発生で生じる異常は同じなので、本章では TSV に欠陥が発生した場合のダイ間信号線の救済方法について議論する。

3次元積層 IC の製造時や IC 出荷後での欠陥発生率は低くてもダイ間信号線数が

増大するに伴い欠陥信号線数が増え、その結果、IC の信頼性の低下を招く可能性が高くなる。IC 設計時にダイ間信号線数を減らすことで3次元積層 IC の高信頼化にもつながるため、本研究では3次元積層 IC の高信頼化のためにダイ間信号線数を減らす IC 設計法も開発した [47]。

本章では4.2で本研究で開発した上記2つの3次元積層メモリ IC の高信頼化法について述べた後、4.3でそのメモリ IC のダイ間信号線の救済法を、4.4でそのために本研究で開発した救済回路について述べる。

4.2 3次元積層メモリ IC の高信頼化法

本節では本研究で開発した3次元積層 IC のダイ間信号線の冗長化による高信頼化法 [45, 46] とダイ間信号線数削減による高信頼化法 [47] について、それぞれ4.2.1と4.2.2で述べる。

4.2.1 信号線冗長化による高信頼化法

3次元積層 IC は2.3の図2.20で示したように積層するダイとインターポーザから構成している。IC 内のダイはダイ内の TSV とマイクロバンプとをはんだ付けし積層する。一般に3次元積層 IC の入出力信号線は多く、その小型化要求に対応するため、BGA パッケージが使われる。積層されるダイ間信号線の間隔に比べ、BGA パッケージのピン間隔が著しく長いことからその間隔差を解消するため、図2.20に示すように積層されたダイと BGA パッケージ間にインターポーザが挿入される。

ダイ間信号線のマイクロバンプはプリント配線板と BGA パッケージとの接続に比べ微細加工が必要となるため、はんだ付け時に不良が発生しやすい。また TSV 製造時にも TSV 内に欠陥が発生し易いことから、本研究では TSV とマイクロバンプからなるダイ間信号線を冗長化し、ある信号線に欠陥が発生した場合にその信号線を冗長信号線に置き換えて使用できるようにし、その IC の高信頼化を試みた。

プリント配線板とインターポーザ間の信号線は BGA パッケージのピン間隔がダイ間信号線間隔よりも広いため、一般にインターポーザとプリント配線板との信号線部は各ダイ間信号線部よりも欠陥が発生することが少なく、確実に接続される可能性が高い。しかしそこにも欠陥が発生する場合も考慮し、本研究で開発した高信頼化法では最下層ダイである Die#0 とインターポーザ間は複数の信号線で接続し、それらの中でどれかの信号線に欠陥が発生し論理信号が伝搬できなくなってもそれ以外の信号線によりその信号が伝搬できるようにし、その欠陥信号線を救済する。

それに対し、3次元積層 IC の欠陥ダイ間信号線を救済するために、本研究で開発した高信頼化法では IC 内で積み上げるダイを設計する際に前もって指定した数の TSV を冗長 TSV として余分に用意する。ダイ間信号線では Die#0 とインターポーザ間の信号線に比べピッチ間隔が狭く欠陥が発生しやすいので、その冗長 TSV 数は Die#0 とインターポーザ間に余分に追加する TSV の数より多くする。またダイ設計時に各ダイに救済回路とどの TSV が欠陥 TSV かを記憶する記憶回路を余分に組み込んでおき、その救済回路を使って欠陥 TSV で伝送する論理信号を、追加した TSV を使って伝搬できるようにし、その欠陥ダイ間信号線を救済する。

図 4.1 に本研究で開発した冗長信号線設計法により設計した 3次元積層メモリ IC の構造例を示す。メモリ IC 以外の一般的な 3次元積層 IC では図 4.1 のように最下層のダイから最上層のダイまで同じ信号が伝送されることはない。それに対し、3次元積層メモリ IC の場合は最下層以外の各層のダイ内の回路がメモリセル、アドレスデコーダ、データ読出／書込回路と同一の回路で構成され、アドレスバス、データバス、コントロールバスの信号線はすべてのダイに伝送されるため、図 4.1 に示すように最下層のダイから最上層のダイまで TSV、マイクロバンプを使って信号経路が作られる。そこで本研究では図 4.1 に示すように最下層ダイから最上層ダイまで信号経路が形成される 3次元積層メモリ IC の冗長信号線設計法を開発した。

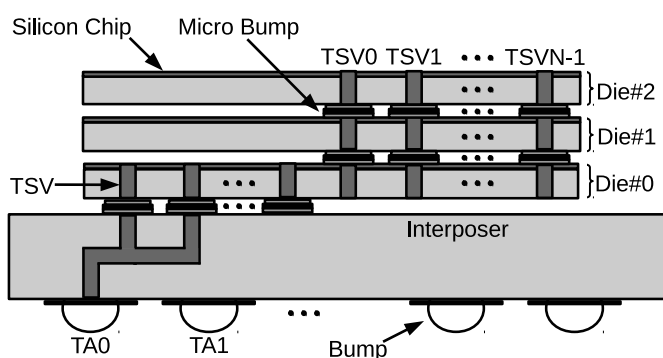


図 4.1 開発した信号線冗長化した 3次元積層メモリ IC 例

上で述べたように本研究で開発した冗長信号線設計法では最下層ダイとインターポーザ間は複数個の TSV とマイクロバンプで接続している。そのため、図 4.1 の 3次元積層メモリ IC の例では BGA パッケージの各ピンから 2 個の TSV に接続し、インターポーザと最下層の信号線を冗長化している。

それに対し、Die#0 から Die#2 間は図 4.1 の N 本の TSV の中に 2 個以上の冗長

TSV を設けて接続する。それらのダイ間信号線の TSV に完全断線が発生した場合は、その欠陥 TSV を使わず冗長 TSV に置き換えて使用し信号伝搬するようにし、欠陥 TSV を救済する。

本救済法による欠陥ダイ間信号線の救済を可能にするダイの内部構成と救済例を図 4.2 に示す。図 4.2 は図 4.1 の Die#0 のとインターポーザおよび Die#1 との双方向データバス信号 D0, D1, D2, D3 を伝送する信号線の救済例である。この図では、そのダイとインターポーザ間の信号は行方向に、他のダイとの信号は列方向に伝送している。

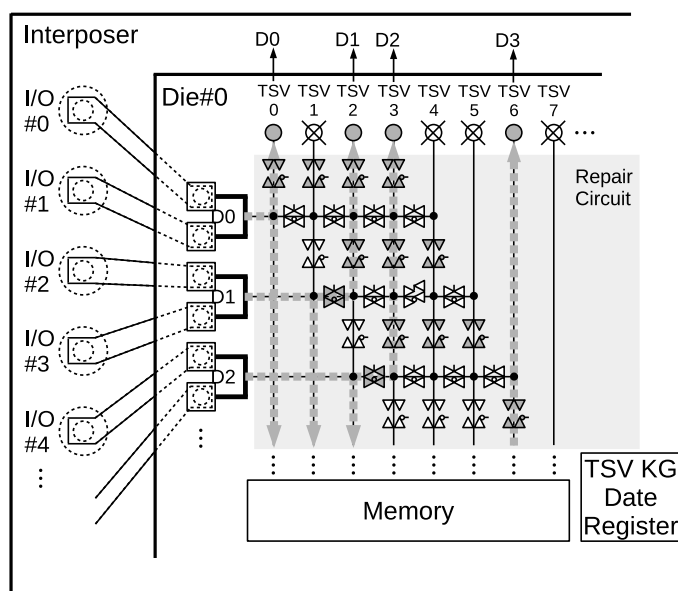


図 4.2 図 4.1 の Die#0 の欠陥救済例

図 4.2 に示すように、各ダイにはコア回路である「メモリ回路 (Memory)」以外に欠陥ダイ間信号線を救済するための「救済回路 (Repair Circuit)」と「TSV KG Data Register」を追加する。救済回路は信号伝送経路を切り替えるための「スイッチ回路」とそのスイッチ回路を TSV KG Data Register 内の記憶値に従いオン・オフ制御する「スイッチ制御回路」で構成する。

TSV KG Data Register はそのダイにつながる TSV の欠陥情報を記憶する。その欠陥情報は TSV 毎に 1 ビットの論理値を割り当て、欠陥 TSV と判定された TSV には 1、それ以外は 0 を割り当てる。その欠陥情報は IC 出荷前に行う最終検査で決定する。Die#0 のレジスタは IC の電源を切ったとしてもその記憶値が保持される続けるようにヒューズやダイオードで構成し、最終検査後にそのヒューズやダイオード

を焼き切ることにより、論理信号 0/1 を記憶させる。上層ダイのレジスタは論理回路で構成する。その上層ダイのレジスタは Die#0 のレジスタに記憶した欠陥情報を専用の TSV を用いてシリアルに伝送し、電子機器の起動時に都度記憶する。その欠陥情報を基に救済回路内のスイッチ回路のスイッチ制御信号として利用することで欠陥 TSV で伝送すべき信号を他の正常 TSV を使って伝送できるようにする。

図 4.2 ではインターポーザと最下層ダイ Die#0 は、それらの信号線 1 本につき 1 本の冗長信号線を設け、インターポーザの 2 本の信号線で接続している。そのためインターポーザの信号線 I/O#0, I/O#1 のどちらかに欠陥が生じ信号伝搬できなくてもそれらに同じ信号を印加しているため欠陥が生じていない方からその信号が伝搬されるので Die#0 の D0 端子にその信号は伝搬し、その欠陥信号線は救済される。

それに対し、TSV1,4,5,7 の欠陥 TSV に対しては TSV KG Data Register 内の記憶値に従い、余分に追加した TSV を使って接続する。図 4.2 では Die#0 に入出力されるデータバス信号 D0 は TSV#0 を使って伝送する。信号 D1 は TSV#1 に欠陥が発生して信号伝送ができないため、Die#0 の救済回路で TSV#2 を使って信号伝送する。TSV#2 は信号 D1 の信号伝送用に使用しているため、信号 D2 は TSV#3 を使って伝送する。同様に図 4.2 では TSV#4, TSV#5 に欠陥が発生し信号伝搬できないため、データバス信号 D3 は TSV#6 を使って伝送する。

4.2.2 TSV 数削減による高信頼化法

本項では本研究で開発した TSV 数の削減による高信頼化法 [47] について述べる。

3次元積層メモリ IC 内のダイにデータの読み書きを行うには、各ダイに、読み書きしたいメモリセルのアドレス信号、読み書きするデータ信号、その読み書きの制御信号を与える必要がある。そのため各ダイにはアドレスバス、データバス、コントロールバスを接続させる必要がある。その中でデータバス、コントロールバスのすべての信号は必ず各ダイに接続しなければならない。それに対して、アドレスバスの信号すべてをすべてのダイに供給しなくても、上位アドレスバスをデコードし発生させたチップ選択信号をダイ選択信号としてダイに供給することで読み書きするメモリセルを指定できる。それにより、ダイに接続する信号線数を減らすことができる。そこで本研究では、各ダイに全アドレスバス信号を与えず、その代わりに下位のアドレス信号と、上位アドレス信号から生成したチップ選択信号を各ダイに与える方法で TSV 数を削減させ高信頼化させる。

本研究で開発した TSV 数削減による高信頼化法で設計した 3次元積層メモリ IC の一例を図 4.3 に示す。その IC は 256k バイトのメモリダイを 4 個、3次元に積層し作製する 1k バイトのメモリ IC である。

その IC のメモリマップを図 4.3(a) に、作製する IC の内部構造を図 4.3(b) に示す。その IC ではダイ間接続数を減らすために、図 4.3(c) に示すアドレスデコーダを Die#0 に組み込む。そのデコーダで上位 2 ビットのアドレスバス信号 A9, A8 をデコードし、4 本のダイ選択信号 CS0, CS1, CS2, CS3 を生成する。CS0, CS1, CS2, CS3 はそれぞれ Die#0, Die#1, Die#2, Die#3 のダイ選択信号である。CS0 は Die#0 より上層のダイに伝送する必要がないため、図 4.3(b) に示すように Die#1 ~ #3 には伝送しない。それに対し CS1 は Die#0 から Die#1 に、CS2 は Die#0 から Die#1, Die#2 に、CS3 は Die#0 から Die#1, Die#2, Die#3 に伝送する。それによりアドレスバス信号を伝送するダイ間信号線数を削減する。

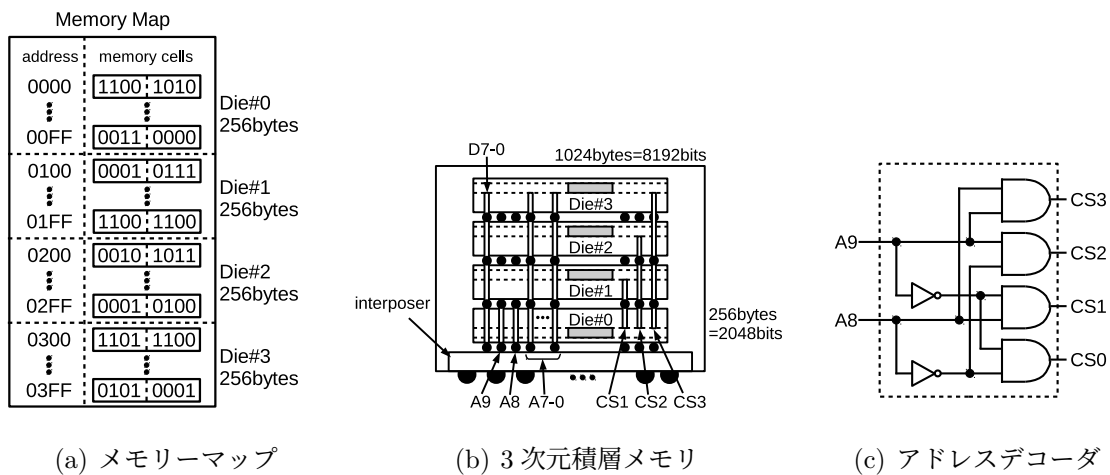


図 4.3 ダイ選択用アドレスバスを削減した 3次元積層メモリ IC

図 4.3(b) に示す IC 内のダイにアドレスバス、データバス、コントロールバスの各信号の伝送を可能にする各ダイのレイアウトを図 4.4 に示す。図 4.4 ではアドレスバス信号とデータバス信号を伝送するための TSV のみの位置を明記し、コントロールバス信号および各ダイ内の TSV KG Data Register に記憶するデータを転送するための TSV の位置は省略している。また、図 4.4 はアドレスバス信号およびダイ選択信号を伝送する TSV を最下行に、データバス信号を伝送する TSV を第 1 列目に配置する例を示している。

図 4.4 で Die#1~3 のコア回路は同一でメモリセル、データ入出力回路から構成

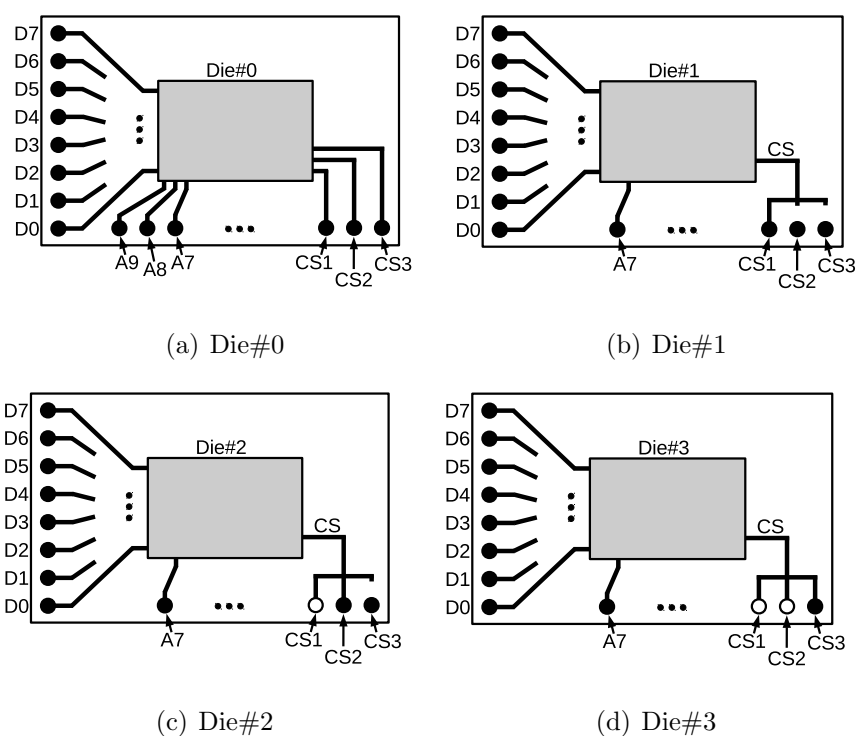


図 4.4 各積層ダイの TSV 配置 (● TSV 形成, ○ TSV 未形成)

されている。それに対して Die#0 のコア回路のみアドレスデコーダ回路がそれらの回路以外に含まれていて、その出力信号であるダイ選択信号を伝送する TSV を配置する。Die#1~3 は Die#0 からの出力されるそのダイ選択信号の 1 本の信号を読み込む。

3次元積層 IC 内のダイのレイアウト設計はできる限り同一にすると設計期間が短くなり、IC の低価格化につながる。そのため、本研究では図 4.4 に示すように CS1~CS3 の信号伝送用 TSV の位置をすべてのダイで同じとし、そのダイの CS 信号に伝送すべき信号伝送用 TSV からの信号線を残し、上層のダイへの CS 信号伝送用 TSV への信号線を設けないレイアウトとした。

たとえば Die#1 では図 4.4(b) に示すように上層ダイのダイ選択信号である CS2, CS3 の伝送用 TSV からの信号がそのダイの CS 信号に伝わらないようにレイアウト設計する。同様に、Die#2 では図 4.4(c) に示すように CS 3 の伝送用 TSV からの信号線を設けない。その図では CS1 伝送用の TSV からの信号線はそのまま残している。そうしても図 4.3(b) に示すようにそのダイ積層時にその位置に TSV を製造しないので、ダイ #1 用の CS1 信号は Die#2 には伝送されない。そのため Die#3 では図

4.4(d) に示すように TSV からの CS 信号伝送用の信号線は削除しない。

このようにレイアウト設計することで最下層ダイ以外のダイのレイアウトは CS 信号伝送用の信号線部分のみを変更するだけで済むことから、レイアウト設計コストの低減が可能となる。

図 4.5 にインターポーザから Die#2 までの TSV 接続を示す。図 4.5 に示すように、Die#0 は下側のインターポーザとの間にアドレスバス信号 A9, A8 を伝送する TSV を追加で設置する。このアドレスバスの TSV は積層数が n のとき $\log_2 n$ 本増える。一方で、Die#0 の Die#1 との間にはダイ選択信号 CS0 を伝送する TSV を設置しないため、Die#0 側、Die#1 側ともに 1 本ずつの TSV が削減できる。また、Die#2 では CS0, CS1 を伝送する必要がないため TSV を設置せず、2 本の TSV が削減できる。これらを式で表すと、TSV 削減数 TSV_{cut} は式 (4.1) で定義できる。

$$TSV_{cut} = \sum_{k=1}^{n-1} k + 1 - \log_2 n \quad (4.1)$$

2 章で述べたように 3 次元積層 IC は TSV やマイクロバンプによるダイ間接続に欠陥が発生するため、積層数が増えるとそのリスクは高くなる。それに対し式 (4.1) は削減できる TSV 数が積層数に応じ、積層数が増えるほどその削減効果は大きい。今後益々、積層数が伸びると予想される 3 次元積層メモリ IC に対し、この TSV 数の削減方法は有効であると思われる。

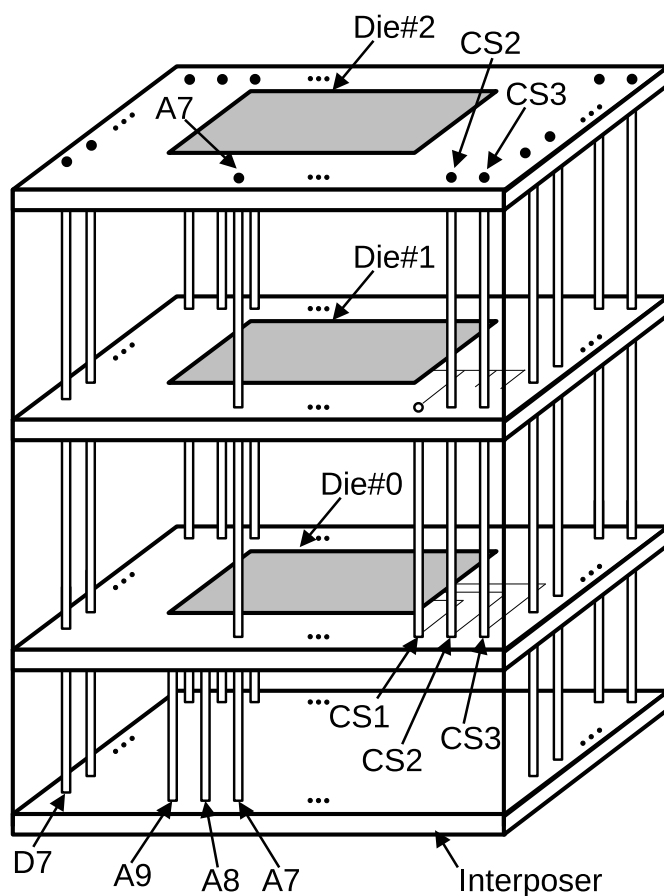


図 4.5 インターポーザから Die#2 までの TSV 接続

4.3 信号線冗長化による高信頼化3次元積層メモリIC設計

本研究では 4.2.1 で述べた高信頼化法で高信頼化を可能にする 3次元積層メモリ IC の設計を行った [45]. 本節では 4.3.1 で設計したメモリ IC について述べ、4.3.2 でその IC 内のダイに組み込む欠陥ダイ間信号線を救済する回路について述べる。

4.3.1 冗長信号線による高信頼化可能なメモリ IC の内部構成

3次元積層メモリ IC はアドレスバス、データバス、コントロールバスの信号線はすべてのダイに伝送するために、最下層のダイから最上層のダイまで TSV で形成する共通の信号経路を使用している。

4.2.1 で述べたように本研究で開発した冗長信号線設計法では各ダイ内にスイッチ回路とスイッチ制御回路で構成する救済回路および TSV KG Data Register を追加する。その TSV KG Data Register に欠陥 TSV の情報を記憶し、その情報を基に Die#0 内の救済回路で信号を伝送する TSV を割り当てていく。それに対し、上層ダ

イ内の救済回路ではレジスタに記憶した情報を基に信号を伝送する TSV とコア回路間を接続する。

図 4.6 にその接続例を示す。図 4.6 では、Die#2 内の TSV#1 に欠陥が発生していた場合の双方向のデータバス信号 D0, D1, D2 の伝送経路例を示している。図 4.6 に示すように、TSV#1 は Die#2 および Die#3 に信号を伝送することができない。4.2.1 の図 4.2 で示したように Die#0 内の救済回路で欠陥 TSV で伝送すべき信号を他の正常 TSV を使用して伝送する。このとき D0, D1, D2 はそれぞれ TSV#0, TSV#2, TSV#3 を使用して伝送する。Die#1 以上の上層のダイ内の救済回路はこれら TSV とコア回路間を接続する。

図 4.6 に示すように、TSV#1 に欠陥が発生していた場合、データバス信号 D1 以降の信号は伝送する TSV をひとつずつシフトする。上層ダイ内の救済回路ではそのシフトした分を戻すようにスイッチを切り替え、コア回路のそれぞれの信号線に対応した入力端子へと信号を伝送する。この救済回路の動作は欠陥 TSV の位置、本数に依らず同じである。Die#0 内の救済回路によってデータバスの最下位ビット D0 から順に伝送する TSV を割り当ていき、TSV# j に欠陥があった場合はデータバス信号 D j に正常な TSV に割り当てられるまで伝送する TSV をシフトする。D $j+1$ 以降の信号は D j よりもさらにシフトし、正常な TSV に割り当てられるまで伝送する TSV をシフトする。欠陥 TSV がある度にこのようなシフトを繰り返す。そして、Die#1 以上の上層のダイ内の救済回路ではこのシフトした分を戻し、コア回路のそれぞれの信号線に対応した入力端子へと信号を伝送する。

4.3.2 ダイ間欠陥信号線救済回路

本研究ではスイッチ回路とその制御回路から構成する救済回路を開発した。

そのスイッチ回路は一方向信号か双方向信号かでスイッチゲートの構成を変更する。具体的にはアドレスバス信号、コントロールバス信号は一方向信号である。そのためアドレスバス、コントロールバス信号に対するスイッチ回路内のスイッチゲートは3状態ゲートで構成する。それに対し、データバスはデータ読出／書込をしなければならないため、双方向に信号を伝送できるアナログスイッチを用いる。

3状態ゲートとアナログスイッチはともにスイッチの原理が同じで、またアナログスイッチの方が双方向スイッチと複雑なので、本節ではアナログスイッチを例に信号伝送経路の切り替えについて述べる。

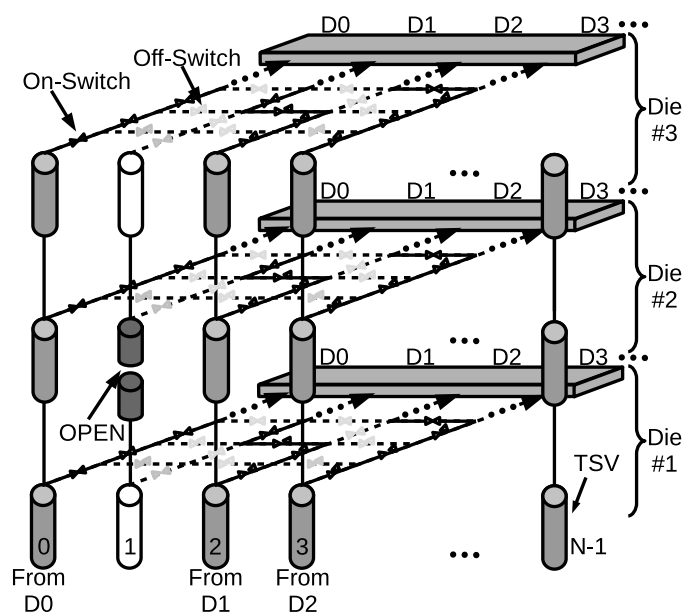


図 4.6 TSV 置き換え例

図 4.7 にその切り替え例を示す。図 4.7 に示すようにアナログスイッチはトランスマッションゲート 2 個で構成する。このスイッチ回路はスイッチ制御回路の出力信号 Cnt によってデータバス信号の伝送方向を制御する。ここで i 行目 j 列に接続するスイッチを $Sw(i,j)$ と定義する。このスイッチ $Sw(i,j)$ に対して $Cnt\#j$ から H レベル信号を印加した場合、図 4.7(a) に示すように入力信号 $Sig\#i$ は右隣りの $Sw(i,j+1)$ へ信号を伝送する。本論文ではこの信号伝送モードを「**Sw 転送モード**」と呼ぶ。また、 $Cnt\#j$ から L レベル信号を印加した場合、図 4.7(b) に示すように入力信号 $Sig\#i$ は TSV $\#j$ 方向の $Sw(i-1,j)$ へ信号を伝送する。本論文ではこの信号伝送モードを「**TSV 転送モード**」と呼ぶ。

冗長数 N のスイッチ回路の場合、 i 行目にこのスイッチを $Sw(i,i) \sim Sw(i, N-1+i)$ で配置する。そしてそのスイッチは初期状態を TSV 転送モードとしてスイッチ回路を構成する。TSV がすべて良品の場合は各データバス信号が最短経路で伝送でき、欠陥 TSV があった場合には 4.2.1 で述べたように Die $\#0$ に組み込んだ TSV KG Data Register の情報に基づきスイッチの転送モードを制御する。このスイッチを制御するスイッチ制御回路には TSV KG Data Register に記憶したデータを $CONT\#j$ として印加する。

図 4.8 に Die $\#0$ 内のそのスイッチ制御回路の機能を示す。図 4.8 に示すように、ス

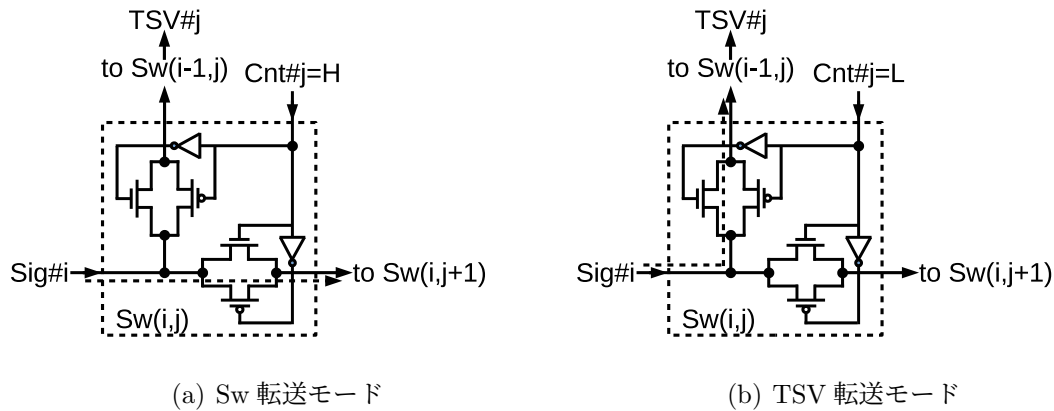


図 4.7 スイッチ

スイッチ制御回路は TSV に接続する 0 行目のスイッチの制御部、インターポーザの入出力ピンに接続する $Sw(i,i)$ のスイッチの制御部、また TSV に接続するスイッチとインターポーザの入出力ピンに接続するスイッチ間を接続する $Sw(i,j)$ のスイッチの制御部の 3 種類で構成する。

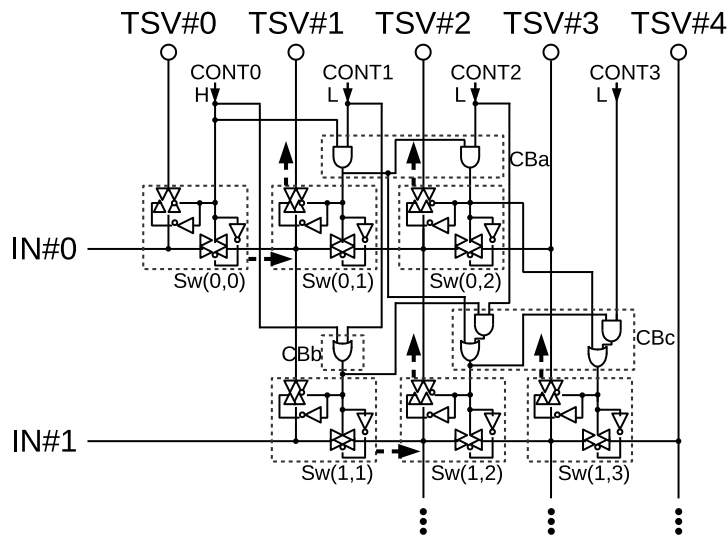


図 4.8 スイッチ制御回路の機能

$IN\#0$ の割り当ては良品 TSV までスイッチ回路を Sw 転送モードに切り替えることで行う。この TSV に接続する 0 行目のスイッチ $Sw(0,1)$ から $Sw(0,N-1)$ を制御するスイッチ制御回路を本論文では「CBa」と呼び、 $Sw(0,j)$ を制御する CBa の出力信号は左隣の $Sw(0,j-1)$ と $TSV\#j$ の状態から決定する。左隣の $Sw(0,j-1)$ が Sw 転送モードかつ $TSV\#j$ が不良の場合には $Sw(0,j)$ を Sw 転送モードに切り替え、 $Sw(0,j+1)$ に

IN#0の信号を伝送する必要がある。そのため、CBaはANDゲートで構成する。

IN#1以降を割り当てる際は、すでに割り当てた信号と交錯しないように左上のSwの状態を把握し、良品TSVまでスイッチをSw転送モードに切り替える。Sw(1,1), Sw(2,2)のようなインターポーザの入出力ピンに接続するスイッチを制御するスイッチ制御回路を本論文では「CBb」と呼び、Sw(i,i)を制御するCBbの出力信号は左上のSw(i-1,i-1)とTSV#iの状態から決定する。左上のSw(i-1,i-1)がSw転送モードの場合、すでに割り当てた信号と交錯することを回避するためにSw(i,i)はSw転送モードに切り替え、Sw(i,i+1)に信号を伝送する必要がある。また、TSV#iが不良の場合にもSw(i,i)はSw転送モードに切り替え、Sw(i,i+1)に信号を伝送する必要がある。そのため、CBbはORゲートで構成する。

TSVに接続するスイッチとインターポーザの入出力ピンに接続するスイッチ間を接続するスイッチを制御するスイッチ制御回路を本論文では「CBc」と呼び、Sw(i,j)を制御するCBcの出力信号は左上のSw(i-1,j-1)と左隣のSw(i,j-1)、TSV#jの状態から決定する。Sw(i-1,j-1)がSw転送モードの場合、すでに割り当てた信号と交錯することを回避するためにSw(i,j)はSw転送モードに切り替え、Sw(i,j+1)に信号を伝送する必要がある。また、左隣のSw(i,j-1)がSw転送モードかつTSV#jが不良の場合にもSw(i,j)をSw転送モードに切り替え、Sw(i,j+1)に信号を伝送する必要がある。そのため、CBcはORゲートとANDゲートで構成する。

ここではDie#0内のデータバス信号線に対する救済回路について述べた。データバス信号は双方向信号であり、スイッチにはトランSMミッションゲートを使用している。またそのスイッチはTSV KG Data Registerに記憶したデータによって一意的に信号伝送経路が決まる。そのため、Die#1以上の上層ダイにはこのDie#0と同じ構成の救済回路を追加すれば、上層ダイ内のTSVとコア回路間の接続はDie#0と同経路となり、欠陥TSVの代わりに冗長TSVを使用した信号伝送が可能である。

4.4 冗長信号線設計による高信頼化能力評価

4.3で述べた救済回路が期待通りの動作を行うかSpiceシミュレーションを行って調査した。そこではTSVの欠陥発生箇所によらず、救済回路によりデジタル信号が正常なTSVに伝送されるか調査した。救済回路の動作検証を行った回路を図4.9に示す。その回路は入力数が5、冗長数が4の救済回路である。

本研究ではその回路の動作検証を行うために図4.9に示した救済回路をROHM0.18 μ mCMOS

プロセスのMOSを用いて設計した。その設計ではpMOS, nMOSのW/Lはそれぞれ $5\mu\text{m}/0.18\mu\text{m}$, $2\mu\text{m}/0.18\mu\text{m}$ とし, Cadence社のVirtuosoを用いてその回路のSpiceネットリストをコーディングした。救済回路を構成する各種論理ゲートの電源を1.8VとしてSynopsys社のHSPICEを用いて回路シミュレーションを行った。

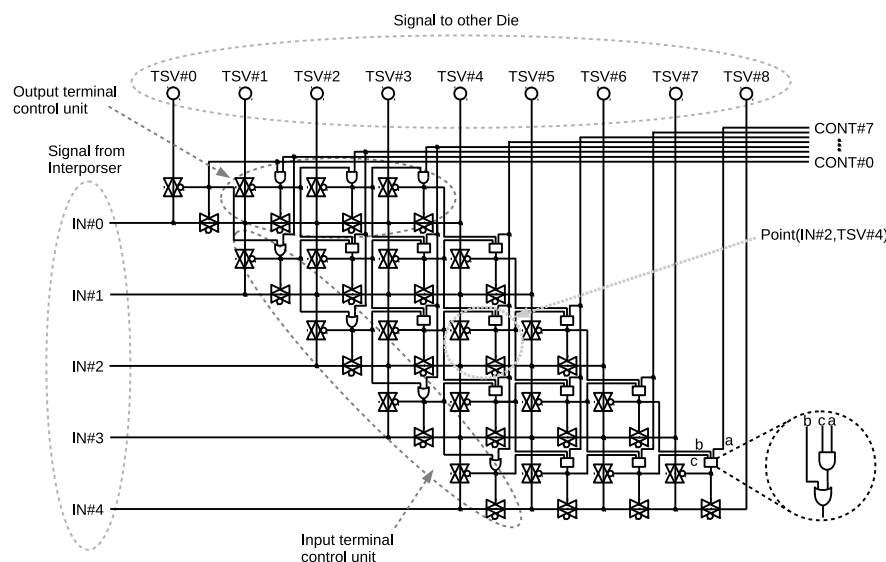


図 4.9 救済回路

ここでは TSV#1, TSV#4, TSV#5 を欠陥 TSV の場合をシミュレーションした。

表 4.1 に TSV KG Data Register に格納すべき CONT# j の信号を示す。表 4.1 に示すように, 欠陥 TSV に対応する CONT#1, CONT#4, CONT#5 には H レベル信号を印加した。その時に, 表 4.1 に示した CONT# j の信号を救済回路に印加した状態で図 4.9 の IN#0 から IN#4 の順に矩形波を印加し, その矩形波が出力されるべき TSV に正しく出力されるかを確認した。

表 4.1 TSV の欠陥発生状況

CONT#0	CONT#1	CONT#2	CONT#3
L(正常)	H(欠陥)	L(正常)	L(正常)
CONT#4	CONT#5	CONT#6	CONT#7
H(欠陥)	H(欠陥)	L(正常)	H(欠陥)

図 4.10 にその Spice シミュレーションにより得られた波形を示す。図 4.10 では IN#0 に印加した矩形波は TSV#0 から出力されている。また, IN#1 に印加した矩形波は欠陥 TSV である TSV#1 からではなく TSV#2 から出力している。その他の

矩形波についても欠陥 TSV を避ける形で TSV 側に出力できており、欠陥 TSV が救済できていることがわかる。

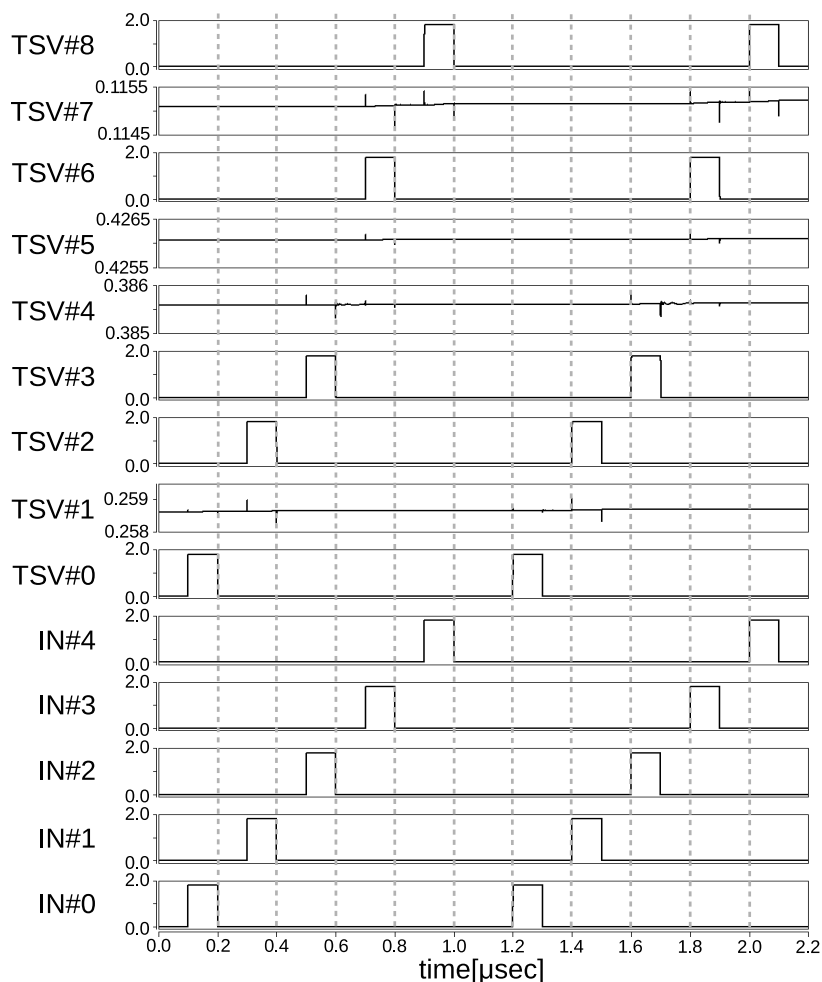


図 4.10 動作検証結果

表 4.1 に示した各 TSV の欠陥状況以外でも救済可能であるか検証するために、経時的に CONT# j に印加する信号を変更し、IN 側から印加した矩形波がどの TSV から出力されるか調査した。ここでは IN#0 から IN#4 に同時に矩形波を印加し、それらの矩形波が出力される TSV を調査した。図 4.11 にその Spice シミュレーションで得られた波形を示す。図 4.11 に示すように、CONT# j に H レベル信号を印加した TSV からは矩形波が出力されておらず、正常な TSV から出力できている。

以上のことから、4.3 で述べた救済回路は TSV の欠陥発生箇所によらず、その欠陥 TSV を救済できることがわかる。

4.1 で述べたように 3 次元積層 IC はダイ間の距離が μm オーダと短く、ダイ間の

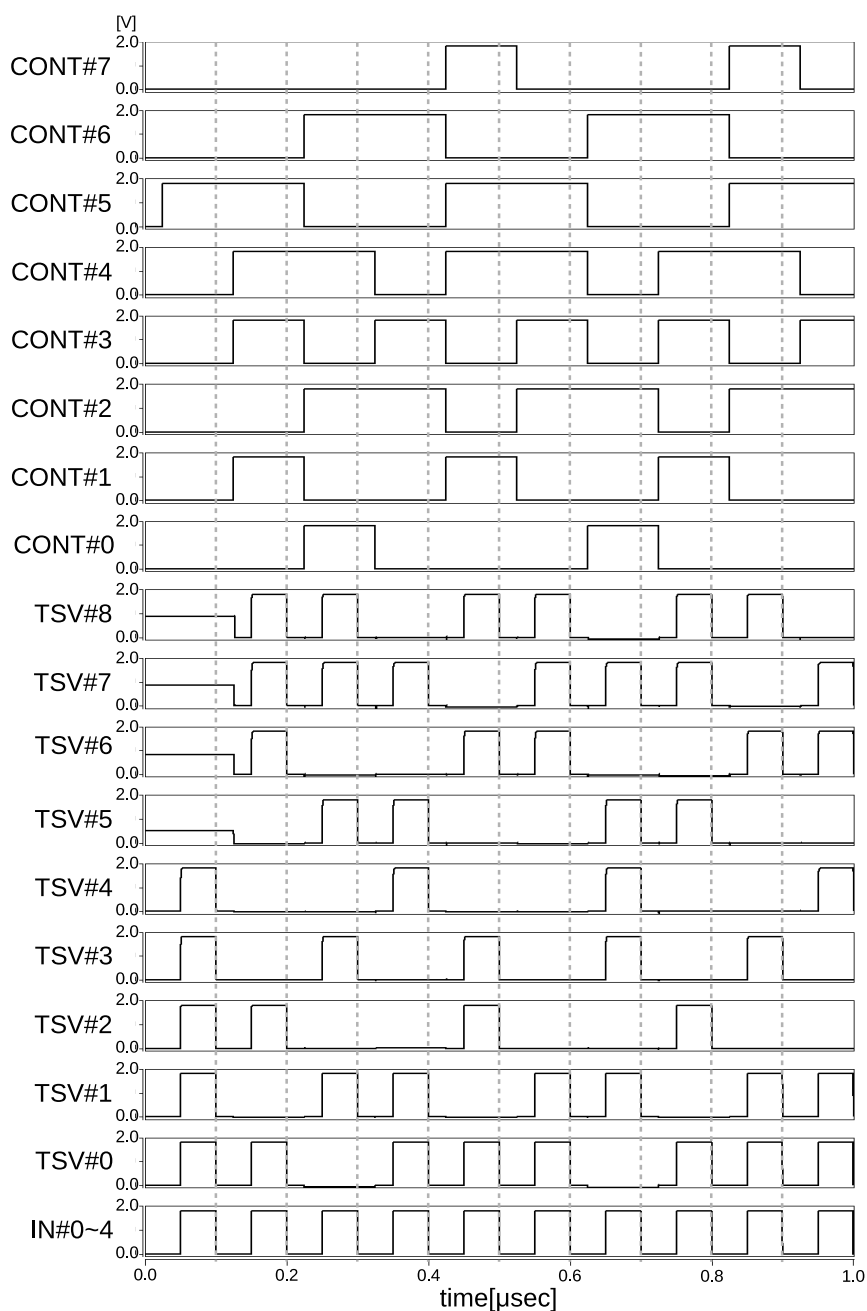


図 4.11 故障対応能力検証結果

信号伝送が高速に行えることが特長のひとつである。しかし提案する高信頼化法では救済回路を組み込んでおり、スイッチによる伝送遅延が生じ信号伝送速度の低下を招く。その伝送速度の低下は救済用冗長 TSV 数が多いほど救済回路が大きくなり、経由するスイッチが増えるため大きくなる。そこで、本研究では救済回路の冗長数と信号伝送速度低下の関係を調べるため Spice シミュレーションを実施し、救

済回路のデジタル信号の伝送遅延時間を調査した。

図 4.12 に最大伝送遅延時間-冗長 TSV 数の結果 [46] を示す。図 4.12 に示すように、冗長 TSV 数を増やすと最大伝送遅延時間が指数関数的に増加する。そのため、追加できる冗長 TSV 数は電子機器の動作速度によって制約を受ける。たとえば 200MHz のクロック周波数の 1 周期は 5nsec である。動作マージンを 10% と仮定した場合、救済回路で発生する遅延時間は 0.5nsec 以下に抑える必要がある。すなわち図 4.12 より追加できる冗長 TSV 数は最大で 5 本ということになる。このように電子機器の動作速度も考慮して冗長 TSV を決定する必要がある。

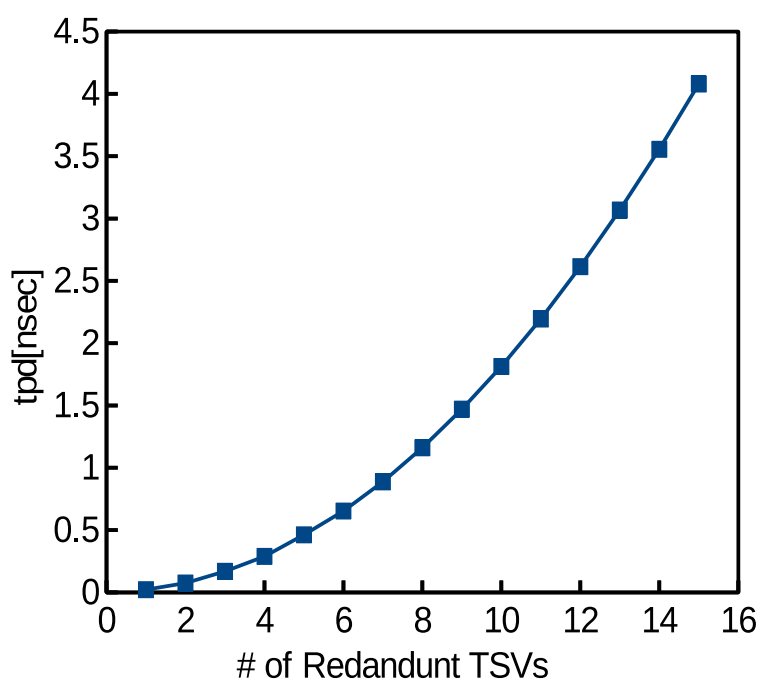


図 4.12 最大伝送遅延時間-冗長 TSV 数

提案する救済回路のスイッチ回路およびスイッチ制御回路のゲート数 N_s は式 (4.2) で定義できる。

$$N_s = 8MN + 6(M - 1) + 6(N - 1) + 12(M - 1)(N - 1) \quad (4.2)$$

ここで、 M と N は、入出力数、冗長 TSV 数である。

式 (4.2) より、TSV KG データレジスタと救済回路のエリアオーバーヘッドは $O(N)$ である [46, 47]。これは文献 [42] よりも小さいため、 $O(N)$ は許容できる範囲であると思われる。4.1 で述べたように TSV の製造技術の向上により、不良の発生が少なくなっている。そのため、冗長 TSV は少数ですみ、本救済回路数は少なくなり、ま

た信号遅延時間も小さくなるため、設計者にこの救済回路は受け入れられると思われる。

4.5 考察

本章では最下層ダイから最上層ダイまで一直線上に TSV、マイクロバンプで信号経路を形成した 3次元積層メモリ IC に対する救済方法について述べた。この救済法はメモリ IC 以外の一般的な 3次元積層 IC に対しても適用することが可能である [46]。

4.2.1 で述べたように 3次元積層メモリ IC は最下層のダイから最上層のダイまで同じ信号が伝送される。それに対し一般的な 3次元積層 IC では図 4.1 のようにすべてのダイに同じ信号が伝送されることはなく、たとえば近接する上下のダイとのみ信号をやり取りする。

図 4.13 にその上下ダイ間のダイ間信号線に欠陥が発生した 3次元積層 IC の救済例を示す。この 3次元積層 IC は Die#0, Die#1, Die#2 の 3つのダイで構成された IC であり、Die#0 は Die#1 と Die#1 は Die#0 と Die#2 のように上下各 1層ずつを TSV とマイクロバンプで接続している。

図 4.13 では Die#0, Die#1 間の TSV0a と Die#1, Die#2 間の TSV1b に欠陥があり、各ダイ毎に信号経路を制御する必要がある。そのため、各ダイの TSV KG Data Register にはそのダイに繋がる TSV の欠陥情報を記憶しておき、使用時にはその情報に基づき図 4.13 に示すように、各ダイに組み込んだスイッチ回路で信号伝送する TSV を変更し、欠陥が発生した TSV0a, TSV1b を使用せず、冗長 TSV を使用し、その欠陥 TSV を救済する。

近接するダイ以外の場合も同様に信号をやり取りするダイ間の救済回路を同じ設定にすることにより、入力側の救済回路は出力側の救済回路が迂回した経路を遡るように信号伝送できるため、3次元積層 IC は正常に動作させることができる。

本救済法は 4.2.1 で述べたように出荷前検査で検出した欠陥 TSV を救済することを目的としている。その救済法は 4.3.2 で述べた救済回路を使用して行い、その救済回路は TSV KG Data Register のデータに基づいて動作する。そのため、データを上書きできる TSV KG Data Register 回路を使用すれば、出荷後検査において新たに欠陥 TSV を検出した場合でもその欠陥 TSV を救済することが可能である。ただし、その欠陥 TSV 数は冗長 TSV 数以内である必要がある。それ以上の欠陥が発生

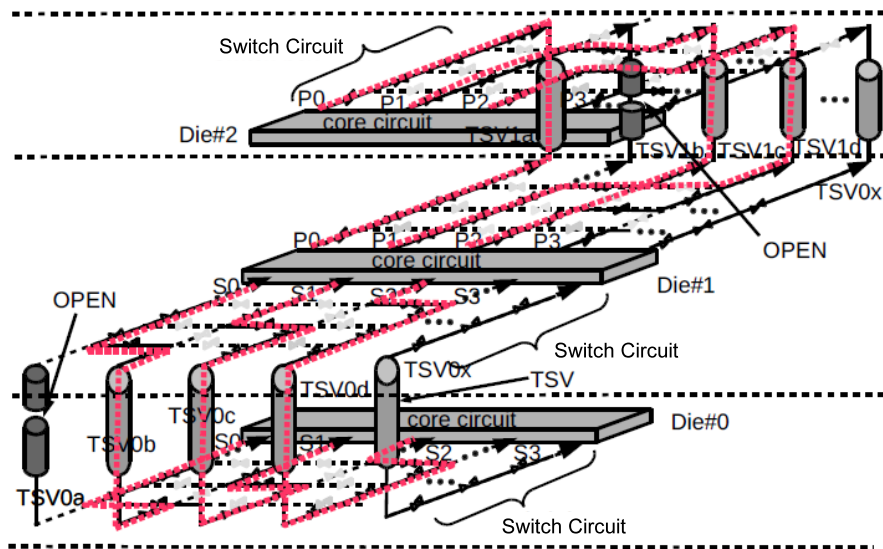


図 4.13 冗長 TSV による欠陥 TSV の救済例

した場合は救済することは不可能である。また、検査で検出できない欠陥が発生していた場合も救済することは不可能である。

救済回路は TSV KG Data Register のデータを上書きしない限り状態遷移しないため、消費電力は MOS のリーク電流によるもののみであり少ないと思われる。

本研究で開発し本論文で述べた救済回路には TSV KG Data Register へデータを記憶するための回路については述べていない。そのレジスタはヒューズやダイオードで実現した場合、それを切る回路が必要となるので、その面積オーバーヘッドが発生する。フリップフロップ等でそのレジスタを作るとそのような特殊な回路が必要としないものの、ヒューズやダイオードで実現した場合と同様に、記憶させたいデータを転送する TSV が別途用意する必要がある。

そのデータ転送用 TSV にも欠陥が発生することもある。その場合、メモリへのデータ読み書き用信号の TSV に不良が発生していなくても、不良 IC と判定される。ただ、その TSV はメモリへの読み書き用の TSV に比べ少ないことから、そのような場合は非常に少ないと思われ、本論文で述べた手法で欠陥 TSV が救済できると思われる。

また出荷後に TSV の欠陥が成長し論理信号を伝搬できなくなる場合がある。そのため製品出荷後にも TSV を検査する必要がある。その欠陥をどのような方法で検出するかは本論文では議論していない。3 章で提案した電気検査法で検出することで

論理値測定による検査法で検出できない欠陥まで検出できる可能性があるが、具体的にどう検査するかは今後の課題として残っている。

4.6 まとめ

本章では、3次元積層メモリ IC を数少ない冗長 TSV および冗長マイクロバンプを用いて高信頼化を実現する救済法およびその救済法を可能とする救済回路を提案した。その救済法は出荷前検査の結果を各ダイに組み込んだ TSV KG Data Register に記憶し、その欠陥情報に基づき救済回路で欠陥 TSV で伝送すべき信号を他の正常な TSV を使って伝送できるようにするものである。救済回路は信号を伝送する TSV を選択するためのスイッチ回路とそのスイッチ回路を制御するスイッチ制御回路で構成しており、冗長 TSV 数を N とした場合のエリアオーバーヘッドは $O(N)$ である。この救済回路について Spice シミュレーションを用いて動作確認および冗長 TSV 数と救済回路による伝送遅延時間の関係について調査した。そのシミュレーション結果からこの救済回路は期待通りの動作できることを確認した。また、救済回路による伝送遅延時間は冗長 TSV 数に対して指数関数的に増加するため、追加できる冗長 TSV 数は電子機器の動作速度によって制約を受けることを示した。

本研究では Spice シミュレーションのみで救済能力を評価している。その評価ではスイッチ回路の MOS に ROHM0.18 μm CMOS プロセスで使用できる最小サイズの MOS を用いた。そのため、その MOS サイズの最適化とともに、それらは実 IC でも評価する必要がある。それは今後の課題の一つである。また本研究では TSV KG Data Register の実現法、そのレジスタに格納する不良データの転送方法については明らかにしていない。またそのメモリ IC の TSV の検査法についても議論しておらず、それも今後の課題として残っている。

ただ、この3次元積層メモリ IC を作製することにより製造時の歩留まり向上ならびに出荷後の不良発生に対しても救済が可能であることから、実 IC へ応用しその高信頼化が期待できる。

第5章 結論

本研究ではプリント配線板上にはんだ付けしたICの信号線に発生する欠陥を検出するための電気検査回路とそれを用いた電気検査法ならびに3次元積層メモリIC内のダイ間信号線に欠陥が発生した場合にその欠陥信号線を救済する回路とそれを用いた救済法を開発した。

開発した電気検査法はバウンダリスキャンテスト回路が組み込まれているIC実装基板を対象としており、そのテスト回路を流用して電気検査を可能にするIC内組込型電気検査回路を開発した。この検査回路は製品出荷前だけでなく出荷後にも検査が可能であり、市場で欠陥が成長した場合でも検出することを可能にした。この検査回路についてSpiceシミュレーションと試作ICを用いた実験でその検査能力を評価し、その結果を3章で述べた。

また3次元積層メモリIC内のダイ間信号線に欠陥が発生した場合にその欠陥を数少ない冗長TSVと冗長マイクロバンプを用いて救済する救済回路を開発した。その救済回路についてはSpiceシミュレーションでその救済能力を評価し、その結果を4章で述べた。

自動車の自動運転やIoTが普及することにより、ますますIC実装基板の長期に亘る高信頼性が求められる。その高信頼性を実現するには製品出荷後の電気検査が必要であり、本論文の3章で提案した電気検査法はその高信頼化に寄与すると思われる。

本論文で提案した電気検査法の検査能力はSpiceシミュレーション評価で出荷前検査の場合は 45.8Ω 以上の抵抗断線を、出荷後検査の場合は抵抗断線が発生していない信号線に対して 1.2Ω の抵抗増加を検出でき、従来の検査法よりも高いことを本論文で明らかにした。ただその評価は実験室レベルで実用的なレベルでは評価できていない。本論文で提案した検査法で実用的な回路の検査するためには、様々な解決すべき課題が出てくると思われる。それでも従来の検査法に比べ高い検査能力を有していることは明らかになったので、本検査法ならびに検査回路をより実用的なものにすることが今後の課題として残っている。

また本論文で提案した救済法についてもその救済法を実現する救済回路のエリアオーバーヘッドは冗長TSV数を N とした場合に $O(N)$ であり、従来の救済法より小

規模の回路で高信頼化が実現できることを本論文で明らかにした。ただこちらについても Spice シミュレーションレベルでの評価であり，実用化する上で新たに解決すべき課題が出てくると思われる。それでも従来の救済法に比べ小規模な回路で救済できる能力を有していることは明らかになったので，本救済法ならびに救済回路をより実用的なものにすることが今後の課題として残っている。

謝辞

本研究を遂行するにあたり、終始適切なご指導を頂いた徳島大学大学院社会産業理工学研究部理工学域電気電子系知能電子回路分野、橋爪正樹名誉教授(現、放送大学特任教授)、四柳浩之准教授、徳島大学技術支援部常三島技術部門計測制御システムグループ、七條香緒莉技術職員に厚く感謝の意を表します。

また、本研究を遂行するにあたり、終始適切なご指導を頂いた日立製作所研究開発グループ生産技術研究センター回路システム研究部第3研究ユニット、矢崎徹研究員、植松裕研究員、池田康浩研究員、坂井秀男研究員、大坂秀樹研究員に厚く感謝の意を表します。

本研究は東京大学 VDEC 活動を通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われ、シリコンソーシアムを通し、台湾セミコンダクター・マニュファクチャリング株式会社、アーム株式会社の協力で行われたものである。なお、本研究のチップ試作は東京大学 VDEC 活動を通し、ローム株式会社および凸版印刷株式会社の協力で行われ、シリコンソーシアムを通し、台湾セミコンダクター・マニュファクチャリング株式会社、アーム株式会社の協力で行われたものである。

さらに、本研究の遂行にあたり、日頃多大なご協力を頂いた四柳研究室の諸氏に厚く感謝の意を表します。

令和5年1月12日

参考文献

- [1] KEYENCE, ”はんだのクラック・ボイドなど不良の観察・測定,” Available: <https://www.keyence.co.jp/ss/products/microscope/vhx-casestudy/electronics/soldering.jsp>
- [2] 日本はんだ付け協会, ”はんだ付けに光を!はんだ付け検定よくある不具合SOP実装編,” Available: <https://handa-npo.com/archives/blog/common-bugs-sop>
- [3] Dr. Yan Liu, Pamela Fiacco, M.S., and Dr. Ning-Cheng Lee, ”Testing and Prevention of Head-In-Pillow,” 2010 Proceedings 60th Electronic Components and Technology Conference (ECTC), pp. 451-455, Las Vegas, Jun., 2010.
- [4] Wei Keat Loh, Intel Malaysia, and Haley Fu, iNEMI, ”Package-on-Package Warpage Characteristics and Requirements,” SMT007, July. 25, 2016.
- [5] J. Fullerton, ”The War on Soldering Defects under Area Array Packages: Head-in-Pillow and Non-Wet Open,” SMT Magazine, August, pp.12- 21,2015.
- [6] J. Pan, and J. Silk, ”A Study of Solder Joint Failure Criteria,” 44th Int ’ 1 Symp. on Microelectronics, California, pp. 694-702, 2011.
- [7] J. Li, Y. Zhang, H. Zhang, Z. Chen, C. Zhou, X. Liu, and W. Zhu, ”The Thermal Cycling Reliability of Copper Pillar Solder Bump in Flip Chip via Thermal Compression Bonding,” Microelectronics Reliability, Vol. 104, 113543, 2020.
- [8] Matti Rahka, ”Qualification Tool for Component Package Feasibility in Infrastructure Products,” ACTA Universitatis Ouluensis C Technica 407, p.42, Dec., 2011.
- [9] Agilent Vectorless Test EP (VTEP), Agilent Technologies. [Online]. Available: <http://www.keysight.com>
- [10] 一宮正博, 橋爪正樹, 四柳浩之, 為貞建臣, ”CMOS論理ICの交流電界印加時の電源電流測定によるピン浮き検出法,” エレクトロニクス実装学会誌 Vol.6,

- No.2, pp140-146(2003)
- [11] M.-K. Chen, and C.-C. Tai, "Nondestructive Analysis of Interconnect in Two-Die BGA Using TDR," *IEEE Trans. on Instrumentation and Measurement*, Vol. 55, No. 2, pp. 400-405, 2006.
- [12] Y. Lu, B. Yao, M. Wan, and J. Feng, "Time Domain Reflectometry technique for detecting the degradation of solder joints," *9th Int'l Conf. on Reliability, Maintainability and Safety (ICRMS)*, 2011.
- [13] M. S. Laghari, and Q. A. Memon, "Identification of Faulty BGA Solder Joints in X-Ray Images," *Int'l Journal of Future Computer and Communication*, Vol. 4, No. 2, pp. 122-125, 2015.
- [14] T. Sumimoto, T. Maruyama, Y. Azuma, S. Goto, M. Mondou, N. Furukawa and S. Okada, "Detection of Defects of BGA by Tomography Imaging," *Journal of Systematics, Cybernetics and Informatics*, Vol. 3, No. 4, pp. 10- 14, 2005.
- [15] H. Bleeker, P. V. D. Eijnden, and F. D. Jong, "Boundary-scan Test: A Practical Approach," *Kluwer Academic Publishers*, 1993.
- [16] K. Parker, "The Boundary-Scan Handbook," *Springer*, Nov. 2015.
- [17] J. P. Hofmeister, P. Lall, D. Panchagade, N. N. Roth, T. A. Tracy, and J. B. Judkins, "Ball Grid Array (BGA) Solder Joint Intermittency Detection: SJ BIST," *2008 IEEE Aerospace Conference*, pp. 1-11, 2008.
- [18] 橋爪 正樹, 伊喜利 勇貴, 小西 朝陽, 四柳 浩之, Shyue-Kung Lu, "バウンダリスキャンテスト機構を用いたはんだ接合部の電気検査法とその組込型検査回路," *エレクトロニクス実装学会誌* Vol.19, No.3, pp. 161-165(2016)
- [19] Hsien-Hsin S. Lee, Krishnendu Chakrabarty, "Test Challenges for 3D Integrated Circuits", *IEEE Design & Test of Computers*, Vol.26, pp. 26-35, 2009.
- [20] Erik Jam Mrinissen, Yervant Zorian, "Testing 3D Chips Containing Through-Silicon Vias", *Proc. of IEEE International Test Conference 2009*, Paper ET1.1, pp. 1-11, 2009.
- [21] K. Chakrabarty, M. Agrawal, S. Deutsch, B.Noia, R. Wang, and F.Ye, "Test

- and Design-for-Testability Solutions for 3D Integrated Circuits,” *IP SJ Trans. on System LSI Design Methodology*, Vo.7, pp. 56-73, 2014.
- [22] J.W.You, S.Y.Huang, D.M.Kwai, Y.F.Chou and C.W.Wu, ”Performance Characterization of TSV in 3D IC via Sensitivity Analysis,” *Proc. of IEEE 19th Asian Test Symposium*, pp. 389-394, 2010.
- [23] T.Konishi, H.Yotsuyanagi and M.Hashizume, ”Electrical Test Method for Interconnect Open Defects in 3D ICs,” *Trans. of The Japan Institute of Electronics Packaging*, Vol.5, No.1, pp. 26-33, 2012.
- [24] M.Hashizume, S.Umezu, H.Yotsuyanagi and S.K.Lu, ”A Built-in Supply Current Test Circuit for Electrical Interconnect Tests of 3D ICs,” *Proc. of IEEE 3D System Integration Conference 2014*, pp. O7-1-O7-6, Dec. 2014.
- [25] 厚生労働省, ”バスタブ曲線（故障率曲線）,” Available: https://anzeninfo.mhlw.go.jp/yougo/yougo59_1.html
- [26] L. Sua, X. Yua, K. Lia, and M. Pecht, ”Defect Inspection of Flip Chip Solder Joints Based on Non-destructive Methods: A review,” *Microelectronics Reliability*, Vol. 110, 113657, 2020.
- [27] C. M. Tsai, Y. L. Lin, J. Y. Tsai, Y.-S. Lai, and C. R. Kao, ”Local Melting Induced by Electromigration in Flip-chip Solder Joints,” *Journal of Electronic Materials*, Vol. 35, No. 5, 2006.
- [28] H. Lee, S. Baeg, N. Hua, and S. Wen, ”Temporal and Frequency Characteristic Analysis of Margin-related Failures Caused by an Intermittent Nano-scale Fracture of the Solder Ball in a BGA Package Device,” *Microelectronics Reliability*, No. 69, pp. 88-99, 2017.
- [29] J. Pan, ”A Control-Chart Based Method for Solder Joint Crack Detection,” *Journal of Microelectronics and Electronic Packaging*, Vol. 11, No. 3, pp. 94-103, 2014.
- [30] Yuki Ikiri, Fumiya Sako, Masaki Hashizume, Hiroyuki Yotsuyanagi, Shyue-Kung Lu, Toru Yazaki, Yasuhiro Ikeda, and Yutaka Uematsu, ”Open Defect Detection in Assembled Circuit Boards with Built-In Relaxation Oscillators,” *IEEE Transactions on Components, Packaging and Manufacturing Technol-*

- ogy, Volume: 11, No.6, pp.931-943, Jun., 2021
- [31] M. Hashizume, Y. Ikiri, T. Konishi, H. Yotsuyanagi, and S.-K. Lu, "Electrical Interconnect Test of Solder Joint Part with Boundary Scan Flip Flops and a Built-in Test Circuit," Japan Institute of Electronics Packaging, Vol. 19, No. 3, pp. 161-165, 2016. (In Japanese)
- [32] M. Kanda, M. Hashizume, A. A. B. Fara, H. Yotsuyanagi, and S-K Lu, "Open Defect Detection Not Utilizing Boundary Scan Flip-Flops in Assembled Circuit Boards," IEEE Trans. on Components, Packaging, and Manufacturing Technology, Vol. 10, No. 5, pp. 895-907, 2020.
- [33] L.-R. Huang, S.-Y. Huang, S. Sunter, K.-H. Tsai, and W.-T. Cheng, "Oscillation-Based Prebond TSV Test," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 32, No. 9, pp. 1440-1444, 2013.
- [34] S. Deutsch, and K. Chakrabarty, "Non-invasive pre-bond TSV test using ring oscillators and multiple voltage levels," Proc. of 2013 Design, Automation & Test in Europe Conference & Exhibition (DATE), pp. 1065- 1076, 2013.
- [35] N. H. E. Weste, and D. M. Harris, "CMOS VLSI Design: A Circuits and Systems Perspective, fourth ed.," Pearson Education, pp. 244-246, 2011.
- [36] A.Youssef, I. Birner, H. Voelkel, J. Thierauf, R. Vodiunig, A. Middendorf, and K-D. Lang, "Reliability Analysis of Solder Joints under Different Thermal and Thermo-mechanical Loading Conditions: Case Study of Automotive ECUs," Proc. of 17th Int 'l Conf. on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE), 2016, DOI:10.1109/EuroSimE.2016.7463312.
- [37] F. Pratas, T. Dedes, A. Webber, M. Bemanian, and I. Yaron, "Measuring the Effectiveness of ISO26262 Compliant Self Test Library," Proc. of 19th Int 'l Symposium on Quality Electronic Design, pp. 156- 161, 2018.
- [38] Masao Ohmatsu, Fumiya Sako, Yuki Ikiri, Hiroyuki Yotsuyanagi, Shyue-Kung Lu, Masaki Hashizume, "Detectability of Open Defects at Interconnects between Dies in 3D Stacked ICs with Relaxation Oscillators," 11th

- IEEE CPMT Symposium Japan 2022, pp. 94-95, Kyoto, Nov., 2022.
- [39] W. Cho, J. Jung, J. Kim, J. Ham, S. Lee, Y. Noh, D. Kim, W. Lee, K. Cho, K. Kim, H. Lee, S. Chai, E. Jo, H. Cho, J-S. Kim, C. Kwon, C. Park, H. Nam, H. Won, T. Kim, K. Park, S. Oh, J. Ban, J. Park, J. Shin, T. Shin, J. Jang, J. Mun, J. Choi, H. Choi, S-W. Choi, W. Park, D. Yoon, M. Kim, J. Lim, C. An, H. Shim, H. Oh, H. Park, S. Shim, H. Huh, H. Choi, S. Lee, J. Sim, K. Gwon, J. Kim, W. Jeong, J. Choi, K-W. Jin "A 1-Tb, 4b/Cell, 176-Stacked-WL 3D-NAND Flash Memory with Improved Read Latency and a 14.8Gb/mm² Density", 2022 IEEE International Solid- State Circuits Conference (ISSCC), pp. 134-135, 2021
- [40] K.T.Wu, J.F.Li, Y.C.Yu, D.M.Kwai, Y.F.Chou and C.Y.Lo, "Intra- Channel Reconfigurable Interface for TSV and Micro Bumps Fault Tolerance in 3-D RAMs," Proc. of IEEE 23rd Asian Test Symposium, pp. 143-148, 2014.
- [41] A.Hsieh, T.Hwang, M.Chang, M.Tsai, C.Tsend and H.C.Li, "TSV redundancy: Architecture and Design Issues in 3D IC," Proc. of Design, Automation and Test in Europe Conference, pp. 166-171, 2010.
- [42] M.Nicolaidis, V.Pasea and L.Anghel, "Through-silicon-via built-in self-repair for aggressive 3D Integration," Proc. of IEEE International On-Line Testing Symposium, pp. 91-96, 2012.
- [43] Li Jiang, Qiang Xu, and Bill Eklow, "On Effective Through-Silicon Via Repair for 3-D-Stacked ICs," IEEE Trans. on Computer-Aided Design Of Integrated Circuits And Systems, Vol. 32, No. 4, pp. 559 – 571, 2013.
- [44] Yuki Ikiri, Masaki Hashizume, Hiroyuki Yotsuyanagi, Hiroshi Yokoyama, Tet-suo Tada and S-K Lu, "Switch Circuit for Repairing Defective TSVs in a 3D Stacked Memory IC," 1st International Forum on Advanced Technologies 2015, pp. 160-161, Tokushima, Mar., 2015.
- [45] Yuki Ikiri, Masaki Hashizume, Hiroyuki Yotsuyanagi, Hiroshi Yokoyama, Tet-suo Tada and S-K Lu, "Repair Circuit of TSVs in a 3D Stacked Memory IC," The 30th International Technical Conference on Circuits/Sistems, Computers and Communications, pp. 431-434, Seoul, Jun., 2015.

-
- [46] Yuki Ikiri, Masaki Hashizume, Hiroyuki Yotsuyanagi, Hiroshi Yokoyama, and S-K Lu, "Recovery of Defective TSVs with A Small Number of Redundant TSVs in 3D Stacked ICs," Workshop on RTL and High Level Testing 2020, Paper 8, pp. 1-4, Online, Nov., 2020.
- [47] Yuki Ikiri, Masaki Hashizume, Hiroyuki Yotsuyanagi, Hiroshi Yokoyama, Tet-suo Tada and S-K Lu, "Die Design for Cost Reduction of 3D Stacked Memory ICs," 2nd International Forum on Advanced Technologies 2016, pp. 79-80, Tokushima, Mar., 2016.