

ディレイテスト可能なバウンダリスキャン設計手法

四柳 浩之^{1*}, 橋爪 正樹¹

Delay Testable Design Using Modified Boundary Scan

Hiroyuki YOTSUYANAGI^{1*} and Masaki HASHIZUME¹

¹ 徳島大学 (〒 770-8506 徳島県徳島市南常三島町 2-1)

¹ Tokushima University (2-1 Minami-Josanjima, Tokushima 770-8506)

1. はじめに

バウンダリスキャン設計¹⁾により IC 間接続のテストが行われるが、標準のバウンダリスキャンでは IC 間接続の断線・短絡が主に検出され、不完全接続（半断線）の検出は保証されない。半断線による影響は、信号変化が素子を伝搬する際の遅延量の増加として現れるため、回路のタイミング動作のテストが必要となる。

デジタル信号の立上り・立下りの信号変化に遅延が生じる故障をディレイ故障と呼び、回路のタイミング動作に影響するディレイ故障の検査を行うのがディレイテストである。IC 間のディレイテスト手法として、JTAG アーキテクチャ内にクロック制御回路を追加することで、IC 間での実速度テスト[†]を可能とする手法²⁾やバウンダリスキャンに遅延センサーを追加することで IC 間のディレイ故障を検査する手法³⁾が提案されている。また、IC 内部のディレイ故障の検出方法として時間-デジタル変換回路 (Time-to-digital converter; 以降 TDC) を使用するテスト方法が挙げられる^{4)~7)}。

本稿では、ディレイテストに適用可能な検査容易化設計手法として提案した TDC 組込型バウンダリスキャン設計⁸⁾とその検査時間短縮のための設計改善について述べる。TDC 組込み型バウンダリスキャン (TDCBS) を用いる IC 間の接続検査では、遅延素子として XOR ゲートを埋め込んだバウンダリスキャンセルである TDCBS セルにより遅延付加部を形成し遅延時間を概算することでディレイ故障の検出を行う。

2. ディレイテスト

2.1 ディレイ故障

半断線などにより生じる信号遅延の増加はディレイ故障としてモデル化される^{9),10)}。ディレイ故障は広く用いられ

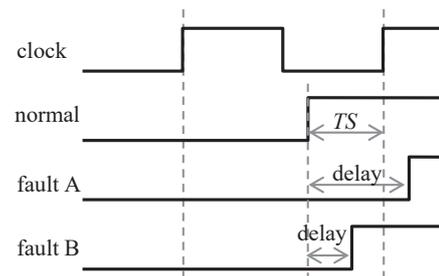


図 1. ディレイ故障

ている縮退故障モデル[†]と異なり、故障を顕在化するための初期入力と信号変化を伝搬する入力の 2 パターンを与えなければ検出できない。また、ディレイの大きさにより影響が検出されない場合もある。

図 1 の 0 から 1 への信号変化において、変化後、次のクロックパルスまでの時間 TS をタイミング余裕 (timing slack) と呼ぶ。ディレイ値がクロック周期よりも短い微小遅延故障と言われる故障の検出は、タイミング余裕に依存する。図中 fault A のように故障によるディレイが TS より大きい場合は検出されるが、fault B のようにディレイが TS より小さい場合は検出されない。

チップ内の故障の場合は、同じディレイ値でも検出されるか否かが伝搬経路のタイミング余裕に依存する。また、半断線は出荷後の経年劣化によりディレイ値が大きくなる欠陥に成長し、回路の誤動作につながる可能性がある。

2.2 ディレイテスト手法

ディレイ故障のテストには、2 パターンの入力信号の印加による信号変化が必要である。スキャン設計を用いて信号変化を与える手法として、スキャンシフト動作でスキャンセルに 1 パターン目を設定し、通常動作の状態遷移にて 2 パターン目を印加する、LoC (Launch-off-capture) 方式などが用いられる⁹⁾。

チップ内のディレイ故障を対象とするディレイテストでは、通常、信号伝搬可能な経路のうちタイミング余裕が最小となるクリティカルパスを対象とする。しかし、クリ

*: Corresponding author
E-mail: h.yotsuyanagi@tokushima-u.ac.jp

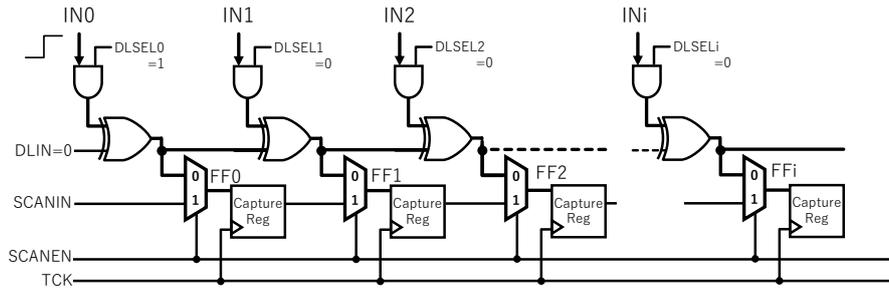


図 2. 時間デジタル変換回路例

ティカルパスを活性化させるテストパターンの生成は困難であり、また製造ばらつき、電圧や温度による特性変化、クロストークなどの影響によりクリティカルパスとなる経路がチップにより異なる可能性もある。テストパターン生成に要する処理時間やテストデータ量の制約から限られた経路のテストが行われている。

ディレイ値の小さい故障を対象としたディレイテストとして、通常のクロックより高速なクロックを用いてテストパターンを印加し検査を行う FAST (Faster-than-at-speed test) 法¹¹⁾などが提案されている。FAST 法により微小遅延故障によるタイミングの遅延が検出できるがテスト用に高速クロック生成回路が必要となる。

また、近年課題となっているハードウェアトロイ[†]の検出やリサイクル IC[†]の検出にディレイテストの手法を適用可能であることが報告されている¹⁰⁾。さらに、劣化などによるディレイの差異をディレイテストにより検出することで信頼性向上が期待されている。

3. TDC 組込み型バウンダリスキャン (TDCBS)

ディレイテストのために、タイミング余裕の概算値を測定する TDC が構成可能な改良をバウンダリスキャン設計に追加した TDC 組込み型バウンダリスキャン設計 (TDCBS) を提案している。本章では測定に用いる TDC の説明と、バウンダリスキャンの一部を TDC に併用する TDCBS の回路構成について紹介する。

3.1 TDC による遅延判定

TDC は信号伝搬時間をデジタル値で表す回路である。信号変化をゲートチェーンで構成される遅延付加部に印加し、各ゲートの出力を同一クロックでフリップフロップにキャプチャする。信号はゲートを通過するごとに遅延されるため、フリップフロップの値を観測することで信号変化から次のクロックパルスまでの差分がゲート遅延の何段分かが求められる。

図 2 に提案する TDC 組込み型バウンダリスキャンにおける TDC 構成部を示す。この TDC では遅延付加部の遅延ゲートとして XOR ゲートを用いる。複数経路からの信号遅延を観測可能とするため、入力 IN_i と遅延付加部との間の接続を選択信号 $DLSEL_i$ で制御する。

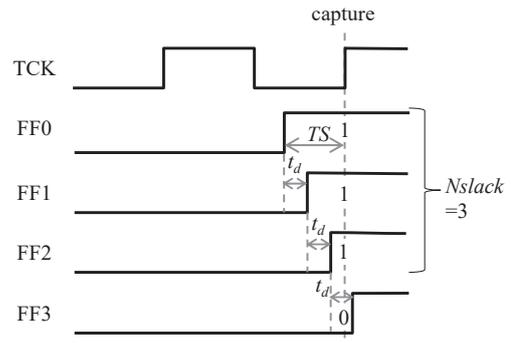


図 3. 信号変化時のタイミング余裕 TS と測定値 Nslack の関係

図 3 に TDC 構成部における各 FF の入力信号波形例を示す。ゲート 1 段あたりの遅延量を t_d とすると、入力信号の変化は t_d ずつ遅延されて FF にキャプチャされる。タイミング余裕の概算値 TS は、入力信号の変化後の値が観測される FF 数を N_{slack} とすると、式 (1) より求められる。

$$TS = N_{slack} \times t_d \quad (1)$$

提案回路で用いる TDC では、遅延付加部に XOR ゲートを用いることで複数経路からのディレイを同時に観測可能である。

3.2 TDC 組込み型バウンダリスキャンの回路構成

バウンダリスキャン回路に TDC を組込んだディレイテスト可能な微小遅延故障検査容易化設計として TDC 組込み型バウンダリスキャン (TDCBS) を提案した⁸⁾。TDCBS のバウンダリスキャンセルと回路構造を図 4、図 5 にそれぞれ示す。TDCBS は、バウンダリスキャンの制御・観測に用いる 5 ピン (TDI, TCK, TMS, TRST, TDO) の他に TDCBS 専用制御ピン (LOOPEN, DLEN, DLHL) によって遅延付加部の制御を行う。また、IEEE1149.1 準拠のバウンダリスキャンの必須動作モードの他に、バウンダリスキャンセル内に XOR ゲートを設け TDC の遅延付加ゲートに用いる TDCTEST モードを実装している¹³⁾。

TDCBS セルは標準のバウンダリスキャンセル BC_1 を内蔵しており、制御信号 TDCMODE = 0 とすることで標準バウンダリスキャンの各動作を実行可能となっている。隣接する TDCBS セルの DLOUT-DLIN を接続することで TDCMODE = 1 設定時に図 2 の TDC が構成可能である。TAP コントロー

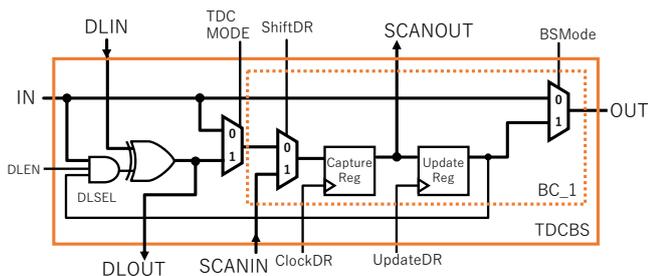


図 4. TDCBS のバウンダリスキャンセル

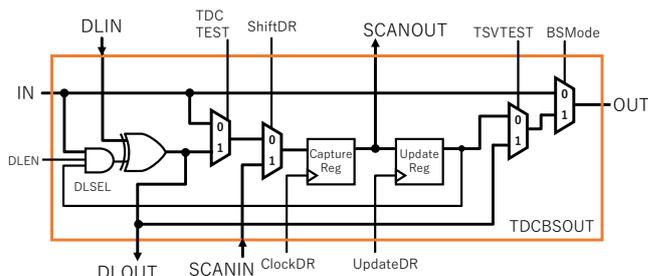


図 6. TDCBSOUT セル

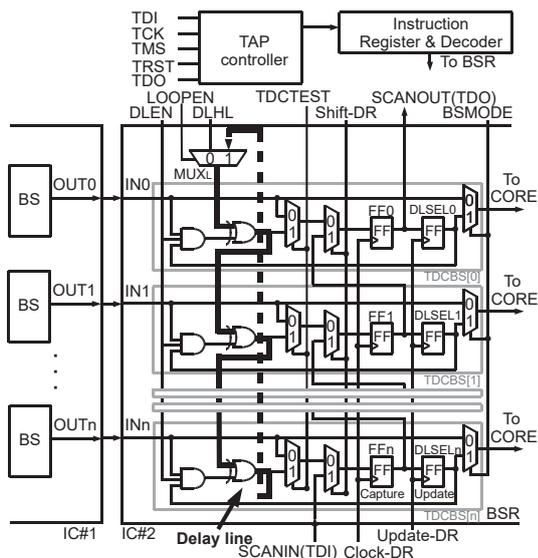


図 5. TDCBS の回路構成

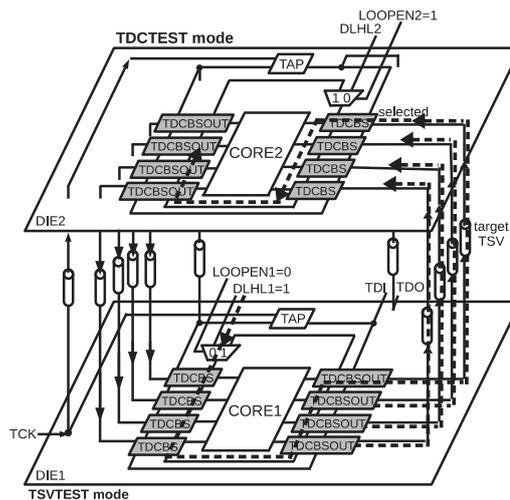


図 7. TDCBS を実装した 3DIC における信号変化の印加

ラについては、標準のバウンダリスキャンでのキャプチャ時間が TCK の 2.5 周期後であるのに対して、TDCMODE ではテストパターン印加後 TCK の半周期後にチャプチャする制御信号を各 TDCBS へ伝搬させる改良を加えている。

遅延付加部の TDCBS1 段あたりの遅延量 t_d はおよそ XOR ゲート 1 段の遅延量となる。実測により t_d を得るには、遅延付加部のみに信号変化を DLHL 端子より入力して、TCK の半周期において入力信号が遅延付加部を伝搬した段数 (N_{max}) を求める。 N_{max} と TCK により、 t_d は以下の式 (2) により表される。

$$t_d = \frac{TCK / 2}{N_{max}} \quad (2)$$

テスト対象入力は、UpdateFF に選択信号 $DLSELi$ を記憶させ遅延付加部と接続する。TDC により得られる N_{slack} と t_d をもとに式 (1) でタイミング余裕を求め、期待値と比較することで、遅延故障を検出することができる⁸⁾。遅延故障が発生している場合、タイミング余裕は小さくなり N_{slack} の減少として検出される。

3.3 3次元実装 IC への適用

パッケージ内に複数 IC を積層して実装する 3次元実装 IC (3DIC) における IC 間配線であるシリコン貫通ビア (TSV)

の接続テストでも BGA パッケージ IC 同様にチップ間接続が観測困難であり、バウンダリスキャン設計によるテスト法の適用が考えられている¹²⁾。

3D IC のディレイテストに TDCBS 設計を適用するため、TSV の検査用にダイ内部のコア回路と独立して信号変化を TSV に印加可能とする図 6 のバウンダリスキャンセル (TDCBSOUT セル) を提案している¹³⁾。TDCBSOUT セルは、TSVTEST 信号で制御される MUX より、XOR ゲートによる遅延付加部から TSV への信号経路を持つ。

TDCBS を用いた TSV の検査回路の構成を図 7 に示す。TSV の入力端子側に TDCBSOUT セルを配置し、TSV の出力端子側に TDCBS セルを配置する。ダイ 1 からダイ 2 に向う TSV の検査には、ダイ 1 の TDCBS を TSVTEST モード、ダイ 2 の TDCBS を TDCTEST モードにセットする。その後、LOOPEN1=0 として DLHL1 から信号変化を入力し、ダイ 1 の TDCBSOUT セル、TSV、ダイ 2 の TDCBS セルの順に信号変化を伝搬させ、遅延故障検査を行う。検査結果はダイ 2 の TDCBS セルに保持しており、スキャンシフト動作で TDI から信号入力することで、検査結果を TDO へ出力できる。

4. TDCBS のシフト動作削減

TDCBS を用いたディレイテストの検査時間の多くは、検

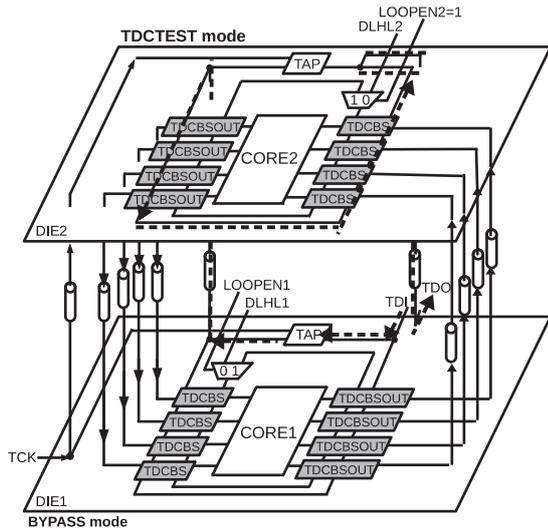


図 8. 3DIC への TDCBS 適用時の観測経路

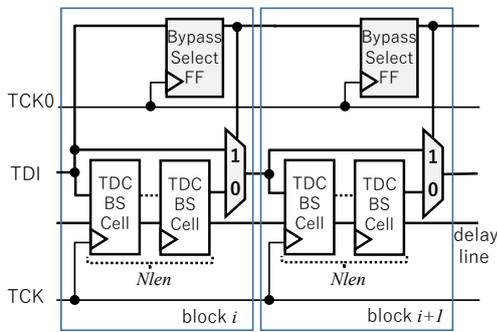


図 9. TDCBS の迂回経路

査対象入力を選択時および観測結果の出力に要するバウンダリスキャンのシフト動作で占められる。バウンダリスキャン設計では、観測不要な IC に図 8 の例のようにバイパスモードを用いることでシフト動作の短縮が可能である。本章では、さらに TDCBS を用いる検査時間の削減のためのバウンダリスキャンチェーンの改良について述べる。

4.1 TDCBS の観測セル部分選択

図 2 に示すように、信号変化は各 TDCBS の XOR ゲートで構成された遅延付加部を伝搬し、各 Capture-FF にキャプチャされる。その後、各 Capture-FF をシフト動作させることで、TDO から検査結果を出力する。しかし、観測対象として選択した TDCBS セルから信号変化が到達可能な範囲より離れた位置にある TDCBS セルについては観測不要である。そこで観測セル部分選択を行うために設計改良した TDCBS の回路構造を図 9 に示す¹⁴⁾。図 9 の回路では、TDCBS セルを N_{len} 個ずつのブロックとし、ブロック毎に一定の間隔で区切られた TDCBS が接続されている経路とそれを迂回する経路を選択する MUX、MUX を制御する FF を追加し、バウンダリスキャンチェーンのスキャンパスを選択できるようにしている。テストクロック TCK, TCK0 を切替可能とし、あらかじめ TCK0 クロックにより出力しな

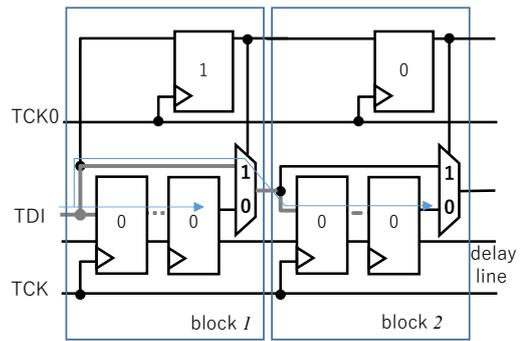


図 10. TDCBS の制御信号並列供給

いブロックの BypassSelectFF に 1、出力するブロックの BypassSelectFF に 0 を保持させ、観測しないブロックを選択する。TDCBS を迂回する経路は次のブロックに接続されるため、観測したいブロック間にある TDCBS の検査結果のみが出力される。これにより、検査結果の観測に要するシフト動作を削減できる。

4.2 TDCBS の制御信号の並列入力

TDCBS を用いた遅延故障検査では、観測経路設定の際に TDI から各 TDCBS セル内の Update-FF に選択信号 DLSEL の値を保持させる。しかし、各 TDCBS セルは直列に接続されており、全ての Update-FF に値を保持させるには TDCBS セルの数だけスキャンシフト動作を必要とし、観測経路の設定に時間がかかる。そこで、図 9 で追加した回路によりブロックを並列に接続することで、検査対象の設定に要するシフト動作を削減する。

TDCBS ブロックの迂回経路を用いて観測経路選択信号を並列入力する例を図 10 に示す。図 10 では、ブロック 1、ブロック 2 がともに観測対象外である場合、ブロック 1 の BypassSelectFF に 1 を保持させることで、ブロック 1 とブロック 2 は並列に接続され、各 TDCBS 内に 0 値を N_{len} クロックで設定可能である。これにより、観測が不要なブロック内の TDCBS に同じ値を入力する際、ブロック 1 つ分のシフト動作で、並列に接続されたブロック内の全ての TDCBS の値の入力が可能になる。TDCBS セルの個数を N_{TDCBS} とすると観測対象ブロックが 1 つの場合の制御信号設定に要する時間は、 N_{TDCBS} クロックから、式 (3) のクロック数に削減可能である。ここで第 1 項はブロック数を表し、BypassSelectFF への設定に要するクロック数を、第 2 項は選択ブロックより入力側ブロックへの制御信号設定、選択ブロックへの制御信号設定、選択ブロックより出力側ブロックへの制御信号設定に要するクロック数 (各 N_{len} クロック) である。

$$\lceil N_{TDCBS} / N_{len} \rceil + N_{len} \times 3 \quad (3)$$

5. まとめ

バウンダリスキャン設計の適用により IC 間の接続が容易にテストできるが、タイミングに影響する半断線などの欠

陥検出は保証されない。本稿では IC 間・IC 内のディレイテストに適用可能なバウンダリスキャン設計として提案した時間デジタル変換回路 (TDC) 組込み型バウンダリスキャン設計手法について、3 次元積層 IC への適用と、テスト時間短縮のためのバウンダリスキャンパスの選択回路の提案を行った。提案した選択回路では観測対象に応じて、制御・観測時にバウンダリスキャンチェーンを部分的に並列化、迂回する機能を持たせることで検査に要するシフト動作の削減が可能である。今後は、ブロックを構成する TDCBS セルの個数 N_{len} を試作 IC による実測値をもとに検討する予定である。

謝 辞

本研究は東京大学 VDEC 活動を通して、シノプシス株式会社、日本ケイデンス株式会社の協力で行われたものである。また、本研究の一部は JSPS 科研費 18K11218 および 17H01715 の助成を受けたものです。ここに謝意を表します。
(2021.8.18- 受理)

文 献

- 1) ケンパーカー (著), 亀山修一 (監訳): “バウンダリスキャンハンドブック第3版,” 青山社, 2012
- 2) J. Sin, H. Kim, and S. Kang: “At-Speed Boundary-Scan Interconnect Testing in a Board with Multiple System Clocks,” Design, Automation and Test in Europe (DATE'99), pp. 473–477, 1999
- 3) M. Tehranipour, N. Ahmed, and M. Nourani: “Testing SoC Interconnects for Signal Integrity Using Extended JTAG Architecture,” IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. **23**, No. 5, pp. 800–811, May 2004
- 4) R. Datta, A. Sebastine, A. Raghunathan, G. Carpenter, K. Nowka, and J. A. Abraham: “On-Chip Delay Measurement Based Response Analysis for Timing Characterization,” Journal of Electronic Testing, Vol. **26**, No. 6, pp. 599–619, Dec. 2010
- 5) R. Machado, J. Cabral, and F. S. Alves: “All-Digital Time-to-Digital Converter Design Methodology Based on Structured Data Paths,” IEEE Access, Vol. **7**, pp. 108447–108457, 2019
- 6) C. T. Ko, K. P. Pun, and A. Gothenberg: “A 5-ps Vernier sub-ranging time-to-digital converter with DNL calibration,” Microelectron. Journal, Vol. **46**, No. 12, pp. 1469–1480, 2015
- 7) 田辺 融, 加藤健太郎, 難波一輝, 伊藤秀男: “差分による VLSI 回路の遅延測定,” 電子情報通信学会論文誌, Vol. **J93**, D, No. 4, pp. 460–468, 2010
- 8) H. Yotsuyanagi, H. Makimoto, T. Nimiya, and M. Hashizume: “On Detecting Delay Faults Using Time-to-Digital Converter Embedded in Boundary Scan,” IEICE Trans. Inf. Syst., Vol. **E96**, D, No. 9, pp. 1986–1993, 2013

- 9) 梶原誠司, 佐藤康夫: “論理回路に対する遅延テスト手法,” 電子情報通信学会基礎・境界ソサイエティ Fundamentals Review, Vol. **1**, No. 3, pp. 71–77, 2008
- 10) J. Mahmood, S. Millican, U. Guin, and V. Agrawal: “Special Session: Delay Fault Testing - Present and Future,” IEEE 37th VLSI Test Symposium (VTS), pp. 1–10, 2019
- 11) S. Hellebrand, T. Indlekofer, M. Kampmann, M. A. Kochte, C. Liu, and H.-J. Wunderlich: “FAST-BIST: Faster-than-At-Speed BIST Targeting Hidden Delay Defects,” International Test Conference (ITC), 2014
- 12) E. J. Marinissen: “Testing TSV-based three-dimensional stacked ICs,” Design, Automation and Test in Europe (DATE 2010), pp. 1689–1694, 2010
- 13) S. Hirai, H. Yotsuyanagi, and M. Hashizume: “Test Time Reduction on Testing Delay Faults in 3D ICs Using Boundary Scan Design,” IEEE 27th Asian Test Symposium (ATS), pp. 7–12, 2018
- 14) 有元康滋, 牧野紘史, 四柳浩之, 橋爪正樹: “TDC 組込み型バウンダリスキャンの観測セル部分選択による検査時間削減について,” 第 35 回エレクトロニクス実装学会春季講演大会, 2021

用語解説

実速度テスト: 遅いテストクロックではなく通常動作時のクロック速度でタイミング検査を行うテスト方式。

縮退故障モデル: 故障の影響を信号線の論理値が 0 または 1 に固定されるとモデル化して扱う, テスト生成において最もよく用いられる故障モデル。

ハードウェアトロイ: IC に悪意を含んだ不正回路を挿入する技術。本来の回路に対して, ある条件のもとで機密情報の漏洩や不正な制御, 破壊などを行う機能を追加する。

リサイクル IC: プリント配線板から外された IC を新品に偽装して実装・出荷される偽装 IC のこと。

著者紹介



四柳浩之 (よつやなぎ ひろゆき)
平 10 大阪大学 大学院工学研究科博士後期課程了。同年より徳島大学工学部電気電子工学科助手, 現在同大学院社会産業理工学研究部准教授。順序回路のテスト容易化設計, 断線故障の検査などの研究に従事。博士 (工学)。エレクトロニクス実装学会, 電子情報通信学会, IEEE 各会員。



橋爪正樹 (はしづめ まさき)
昭 54 徳島大・工・電気卒。昭 56 同大学院修士課程了。同年電信電話公社入社。昭 58 徳島大・工短・電子・助手。現在同大学院社会産業理工学研究部教授。論理回路の電流テスト法, 低消費電力論理回路などの研究に従事。博士 (工学)。エレクトロニクス実装学会, 電子情報通信学会, IEEE 各会員。